

微电子器件可靠性

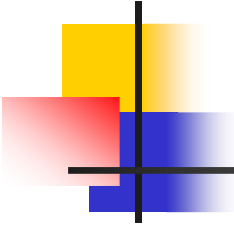
Reliability of Microelectronic Devices

西安电子科技大学 XIDIDIAN UNIVERSITY

V2.0 © 2007 韩孝勇 Han XiaoYong

xyhan5151@yahoo.com.cn www.dianzichan.com

第八次课 可靠性设计



第八次课 可靠性设计

本次课主要内容:

CMOS工艺流程

可制造性设计 DFM

可测试性设计 DFT

补充材料:

本次课内容

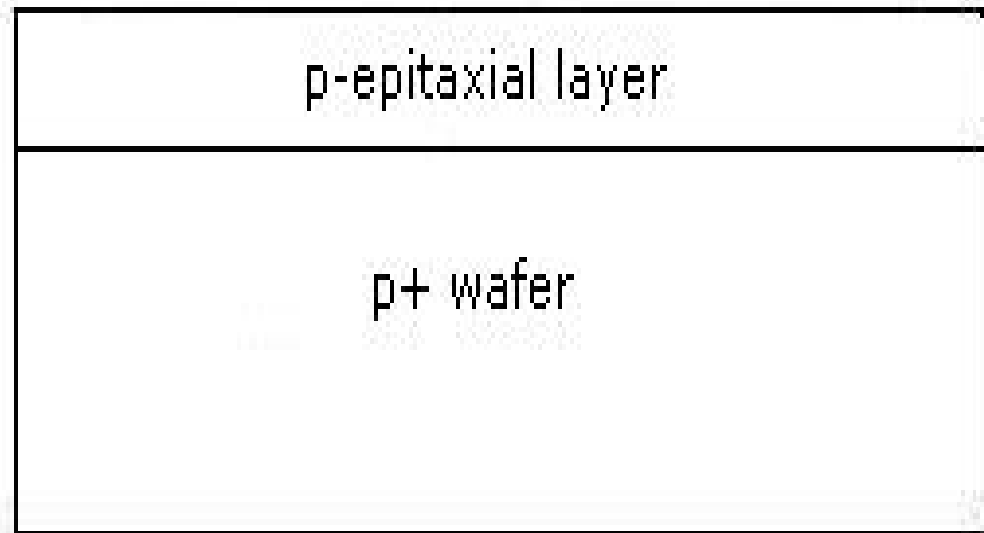
本次课要点:

- 1、通过对**IC**的设计制造过程的了解, 加深对可靠性设计的认识。
- 2、通过了解可制造性和可测性设计, 进一步加深对可靠性设计的理解。

CMOS工艺流程

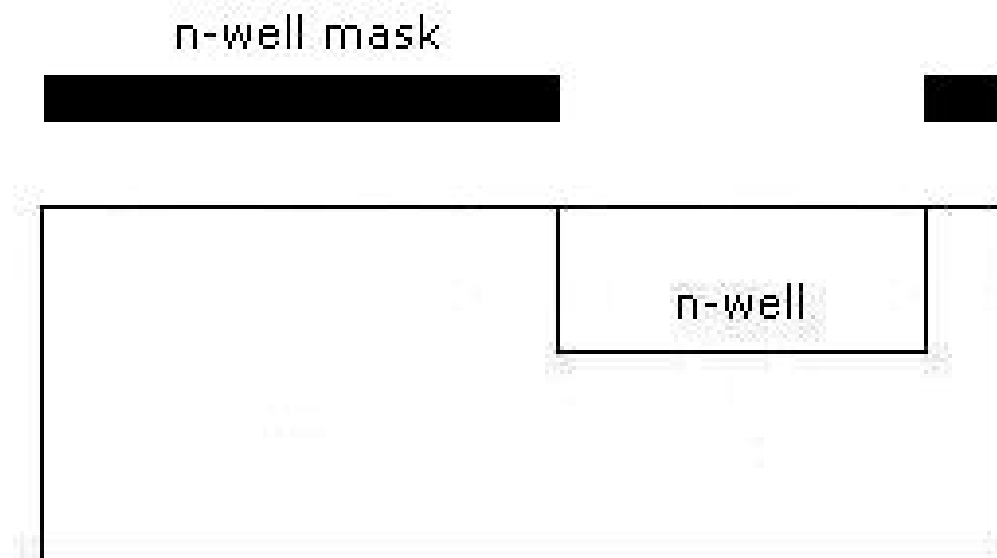
以Si栅N阱工艺流程为例

- (1)衬底
- (2)外延层



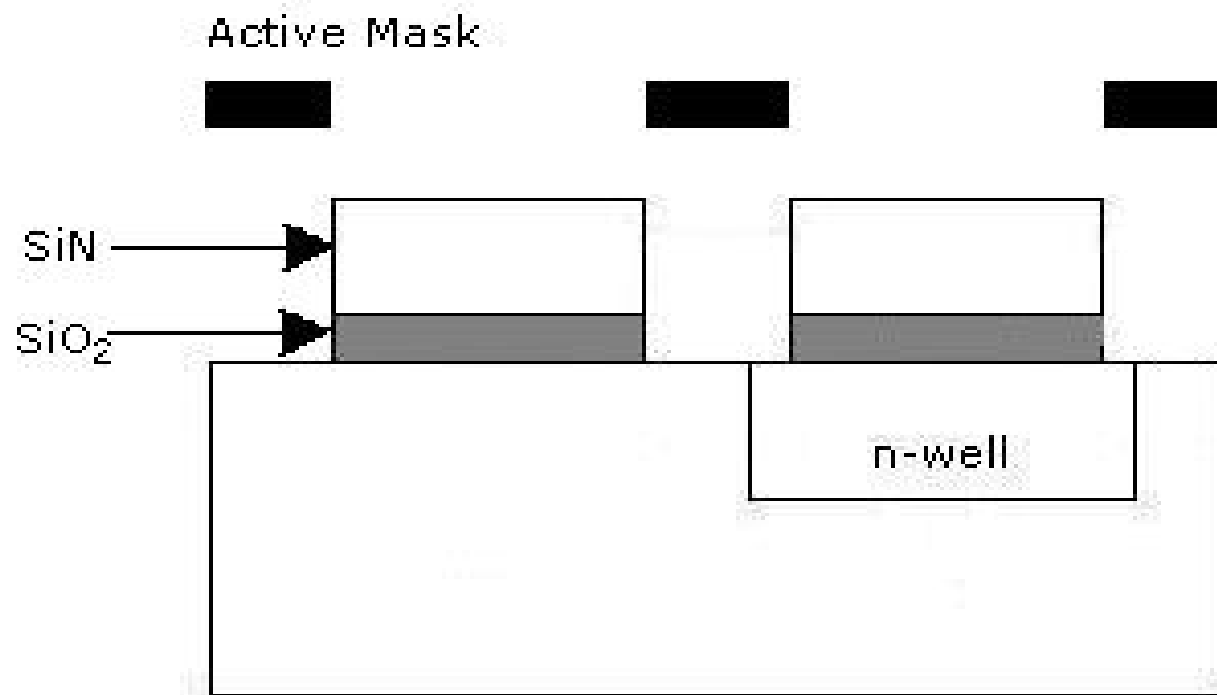
CMOS工艺流程

(3) n-阱



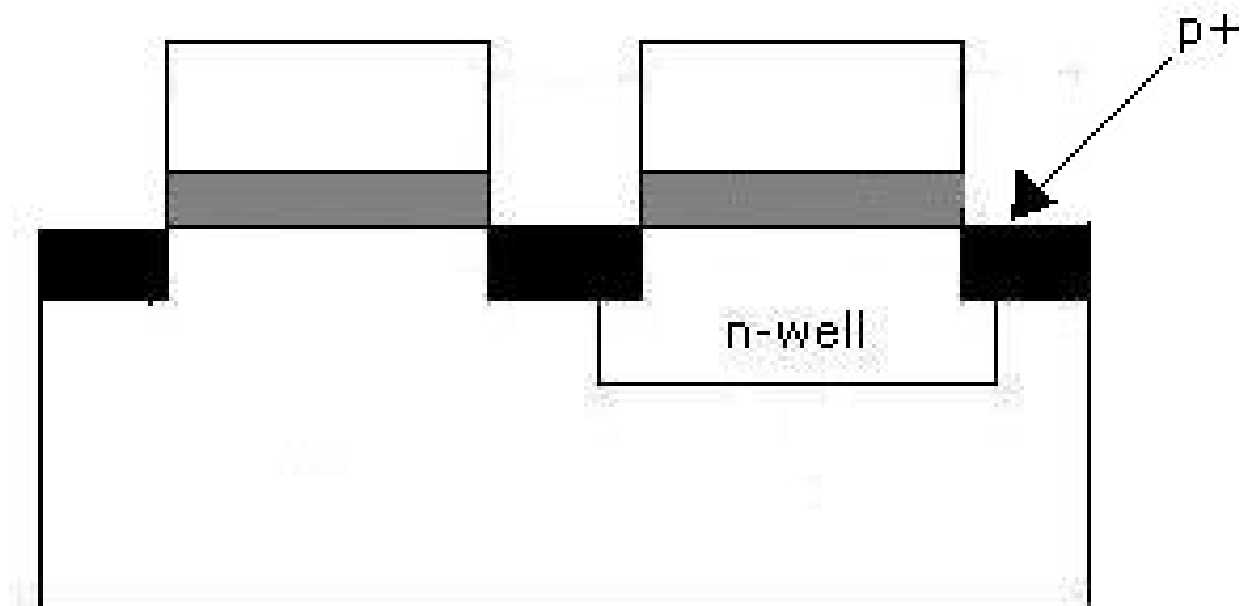
CMOS工艺流程

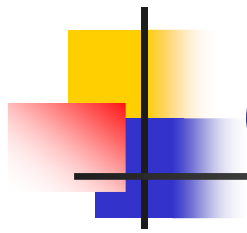
(4) 有源区



CMOS工艺流程

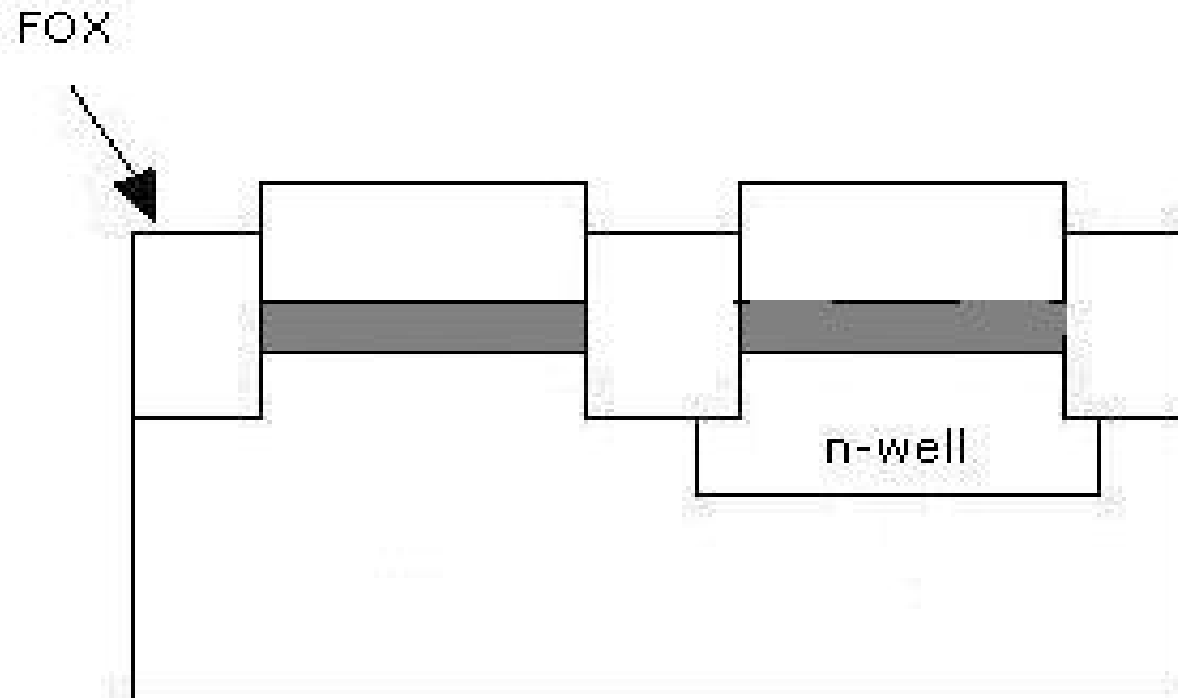
(5) 场扩散





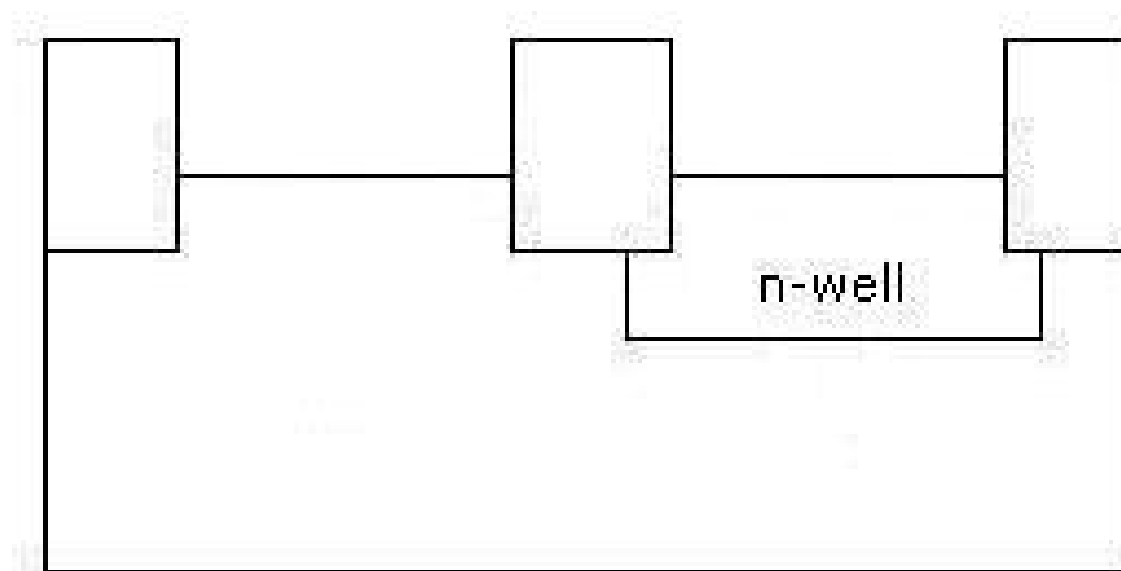
CMOS工艺流程

(6) 场氧化层



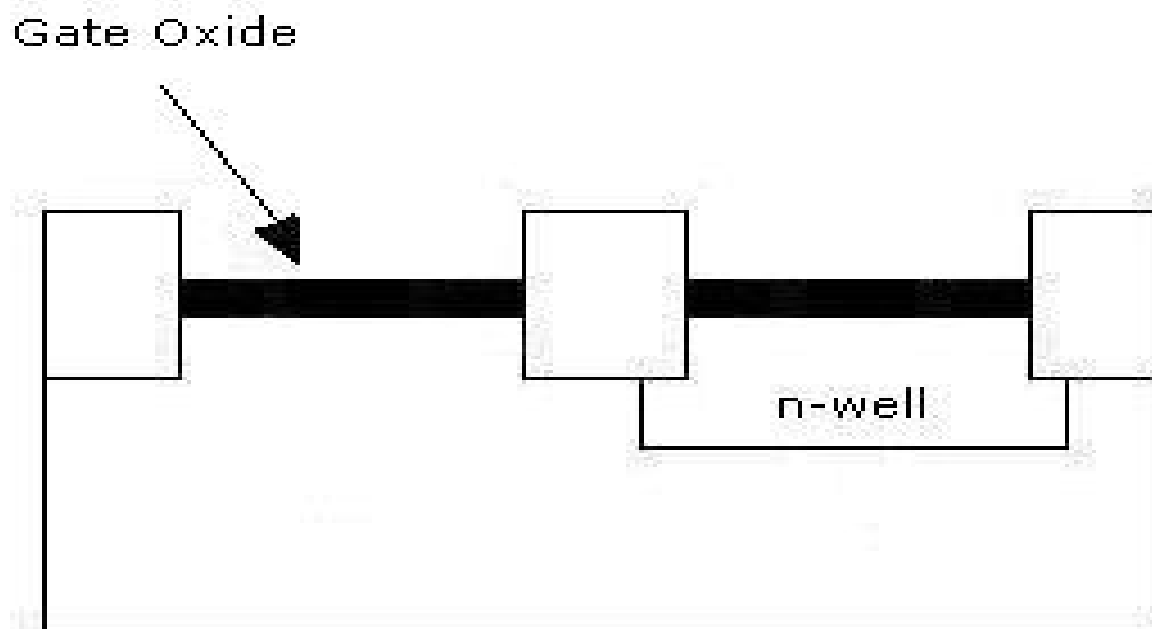
CMOS工艺流程

(7) 栅氧化层



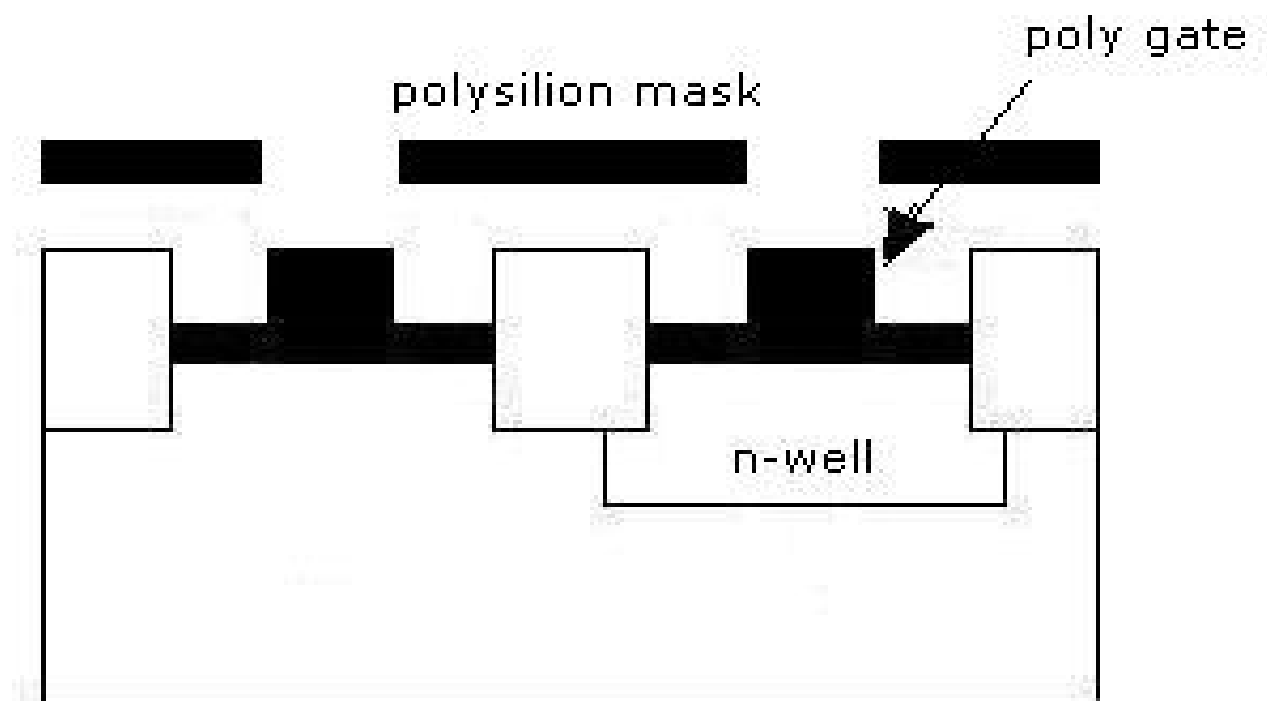
CMOS工艺流程

(7) 栅氧化层



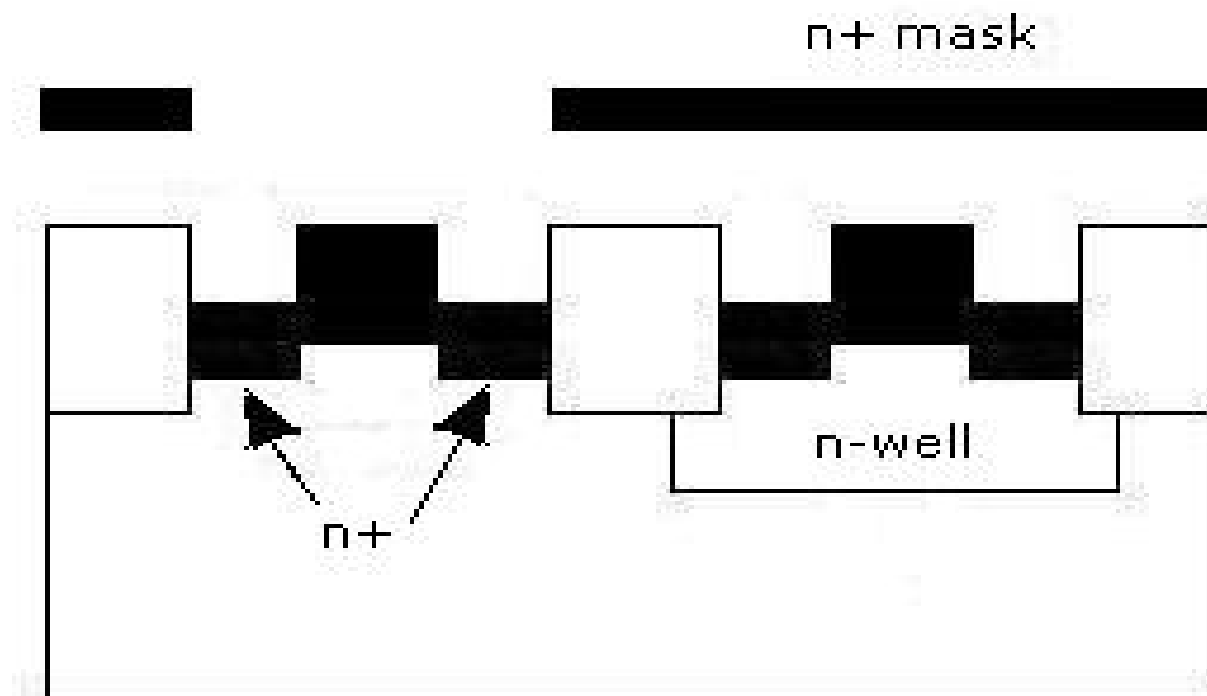
CMOS工艺流程

(8) 多晶硅



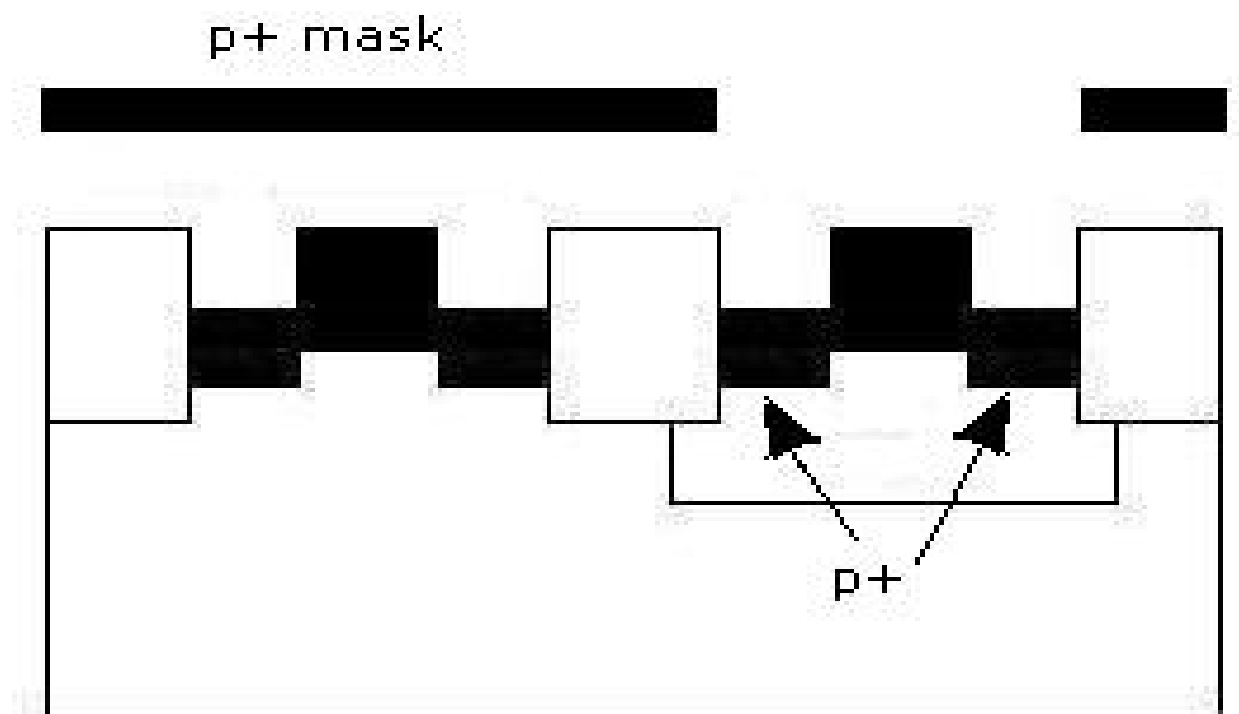
CMOS工艺流程

(9) n 管



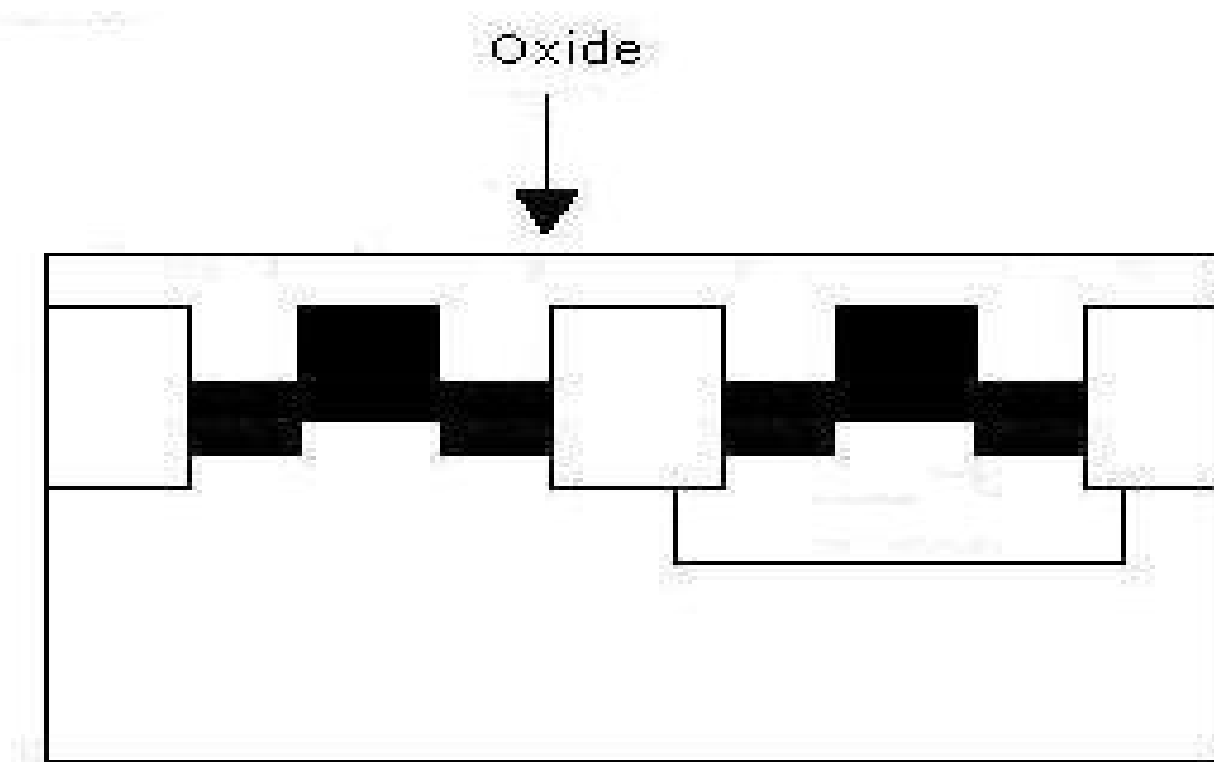
CMOS工艺流程

(10) p管



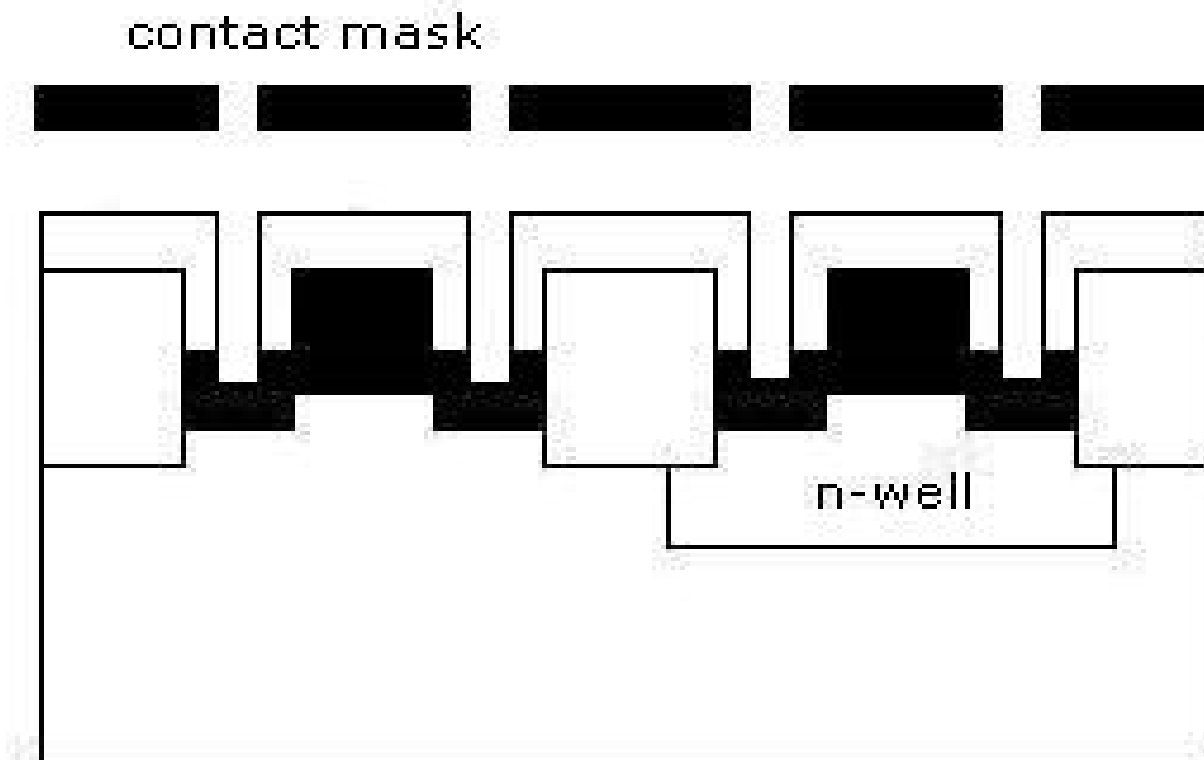
CMOS工艺流程

(11) 氧化及接触孔



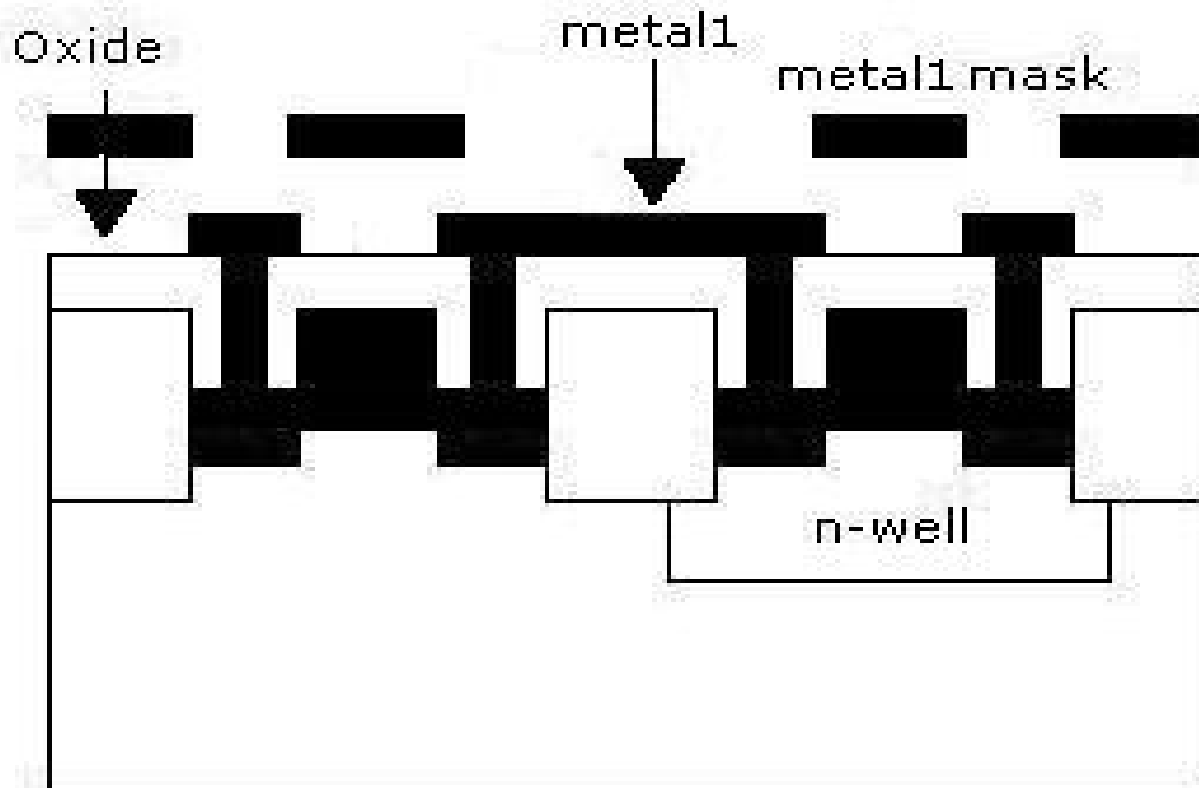
CMOS工艺流程

(11) 氧化及接触孔



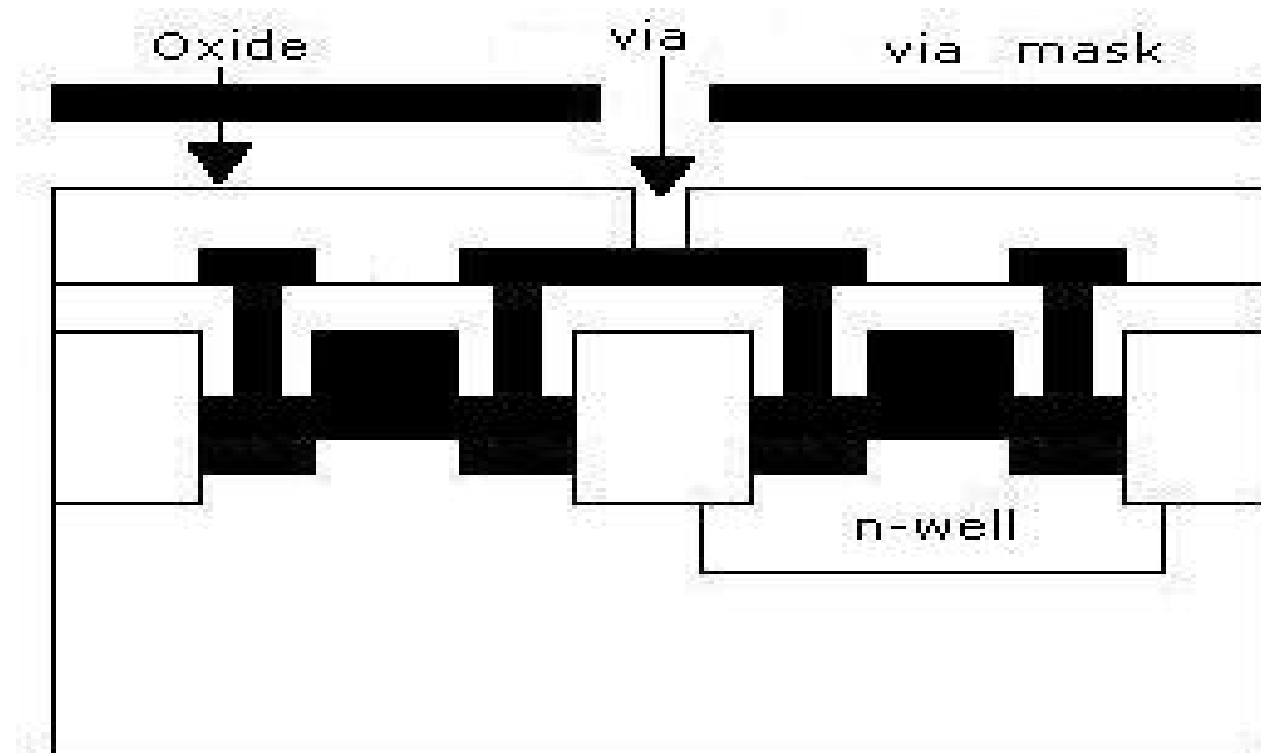
CMOS工艺流程

(12) 金属1



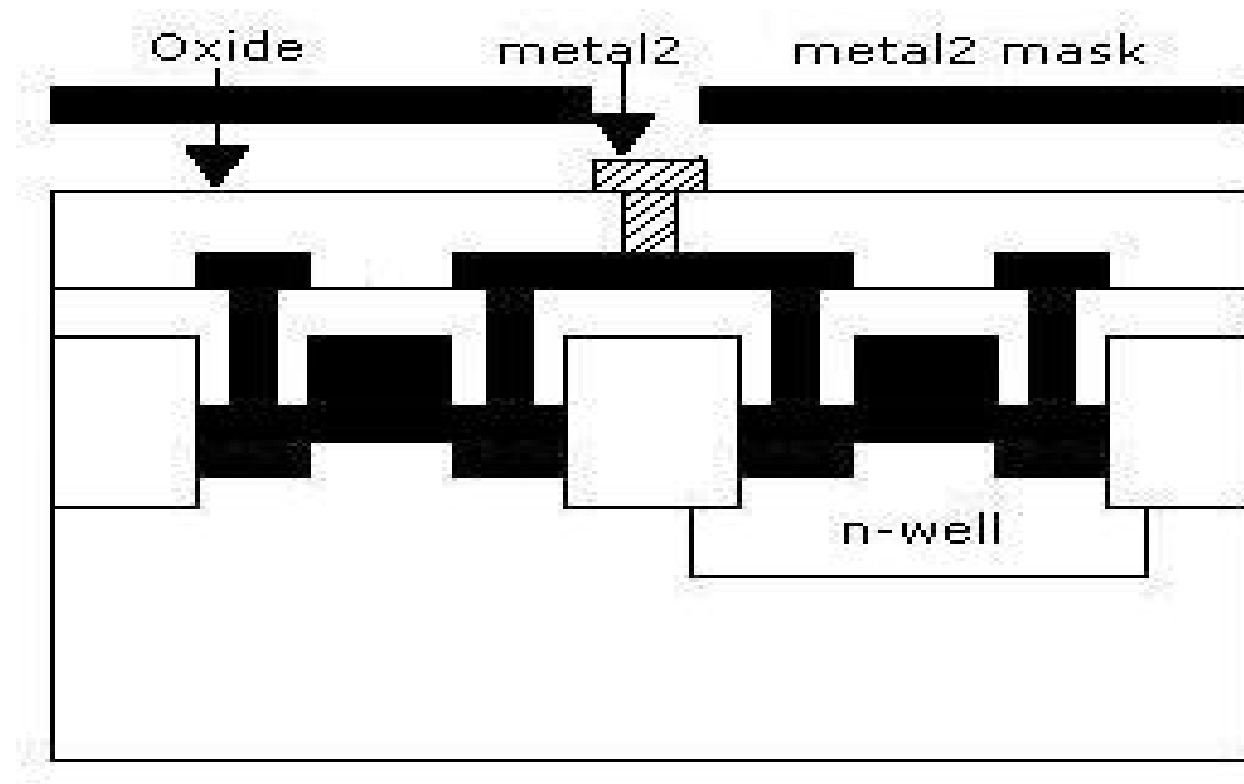
CMOS工艺流程

(13) 氧化和通孔



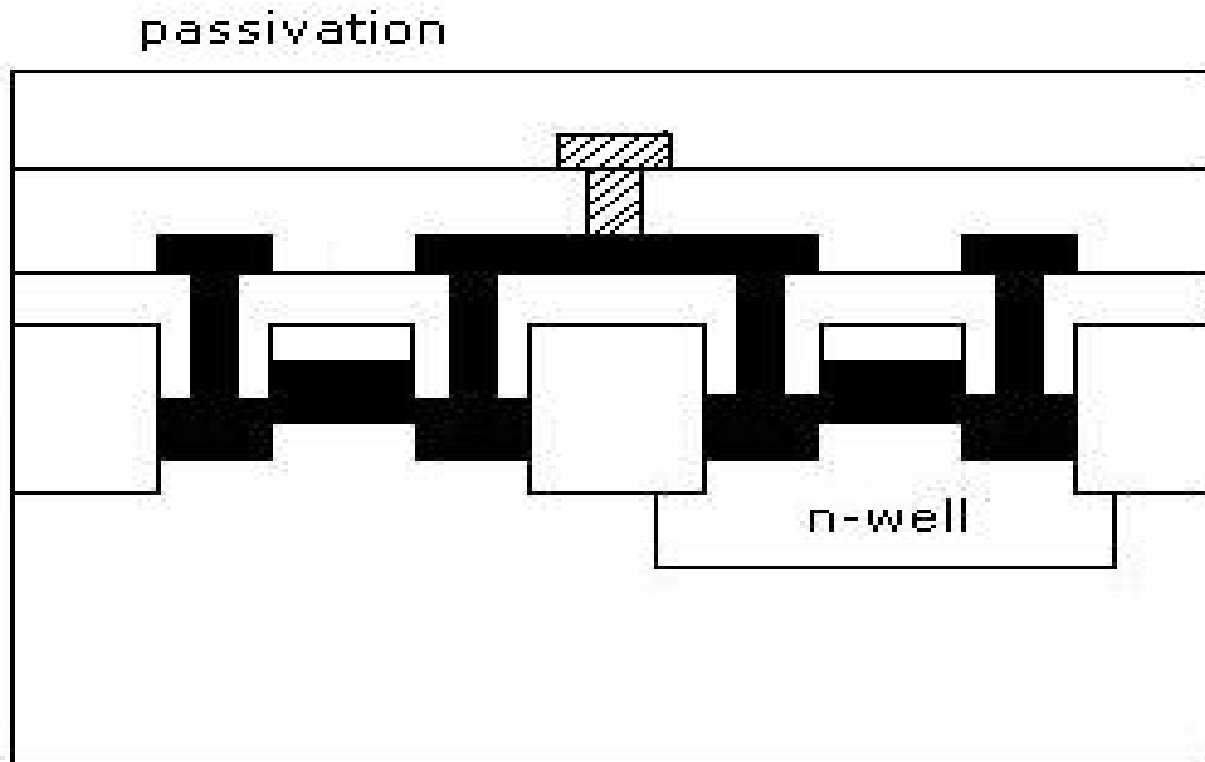
CMOS工艺流程

(14) 金属2

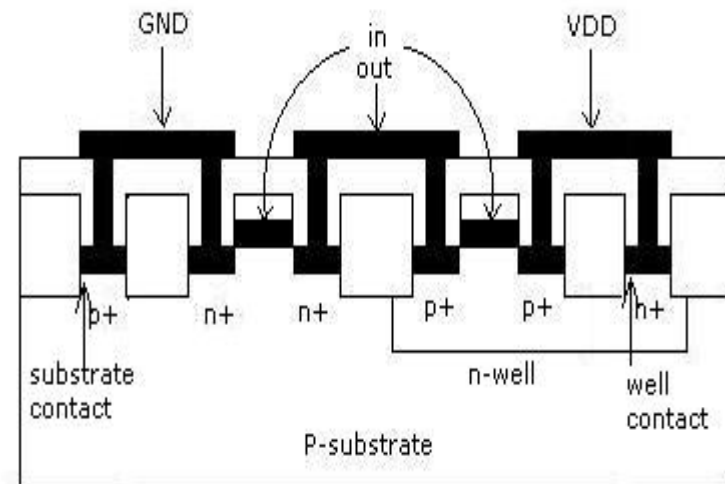
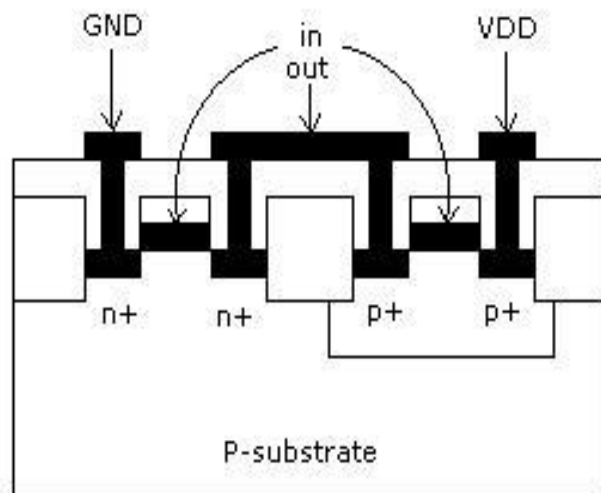
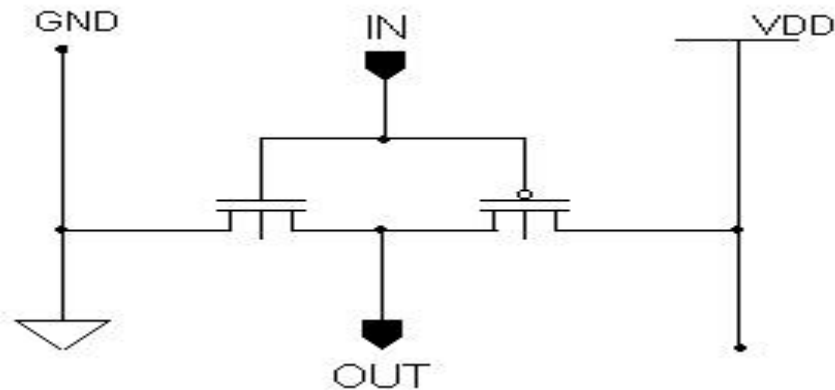


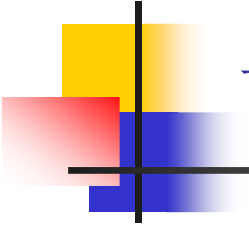
CMOS工艺流程

(15) 钝化层



CMOS反相器图解





可制造性设计

- 难点:

- 1、光刻稳健性
- 2、小尺寸效应

成品率驱动的光刻校正技术

- 光刻校正技术已成为超深亚微米下集成电路设计和制造中关键的技术。

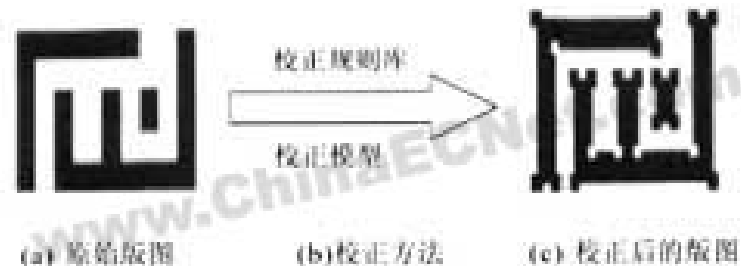


图4 OPC 原理示意图

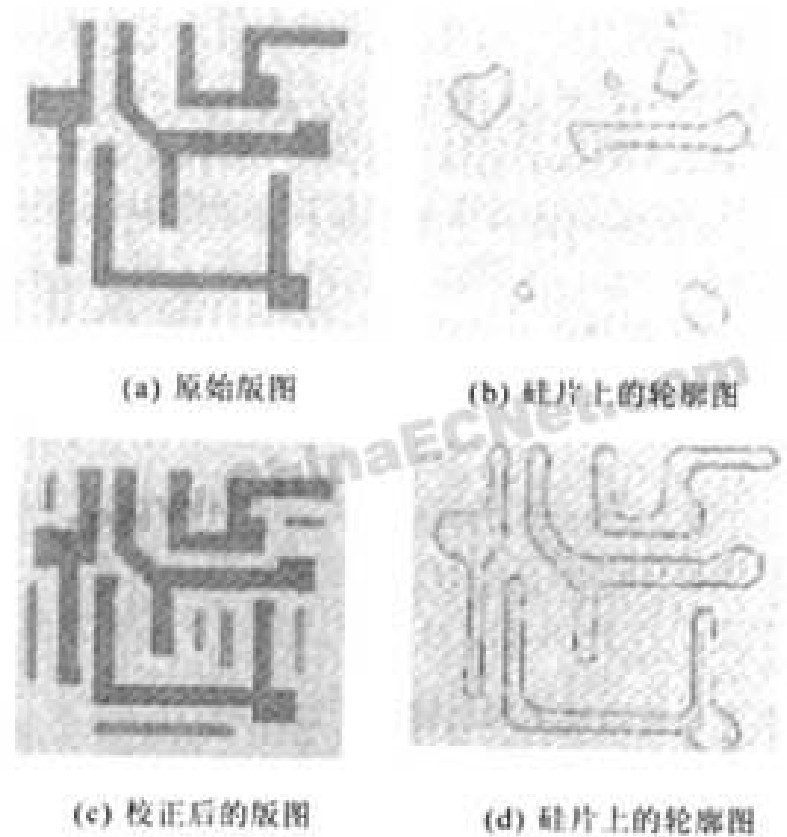


图1 校正实例

基于模型的光学邻近矫正算法

- a为原始版图图形
 - b为未知矫正的成像图像
 - c为文献矫正后的图形
 - d为文献矫正后成像图形
 - e为本文矫正图形
 - f为本文矫正后成像图形
-
- 从图中可以看出“本文目标图形成像的效果得到了明显的改善
 - 摘自<优化的基于模型的光学邻近矫正算法> 蔡懿慈等 清华大学

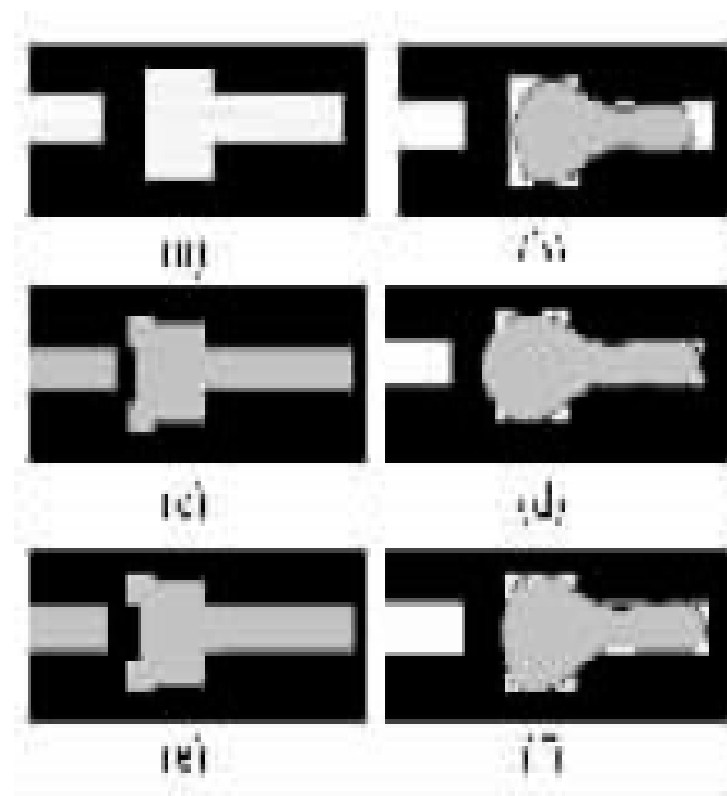


图4 目标图形与环境图形的双循环优化的矫正

矫正过程

- 矫正过程中采用自适应的移动步长来对每一个目标线段进行矫正

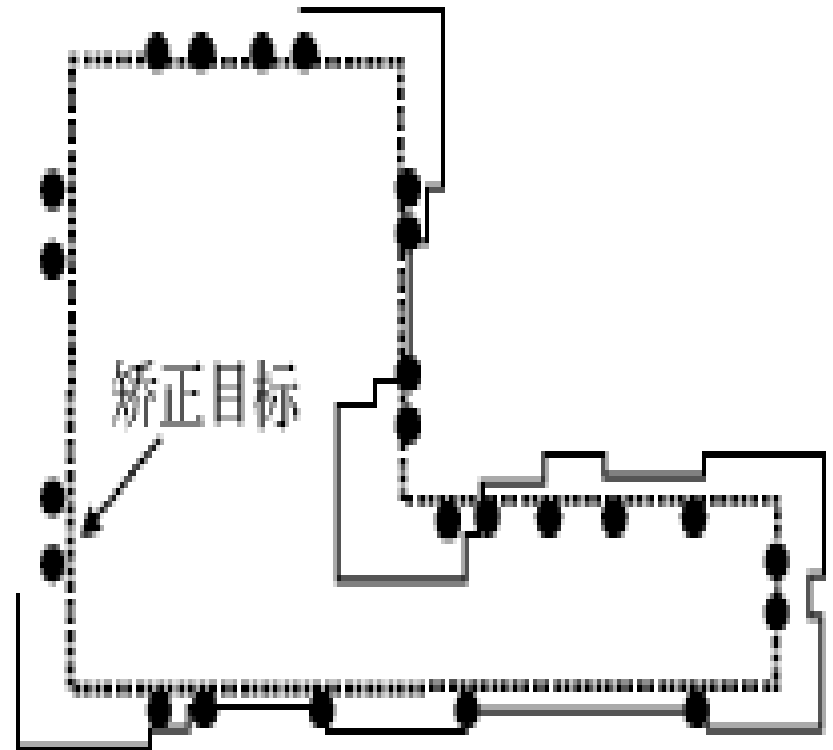


图 2 图形的单循环优化示意图

a待矫正目标图形 b矫正后成像图形 c矫正后版图图形
ewrad与文献算法矫正后成像图形比较

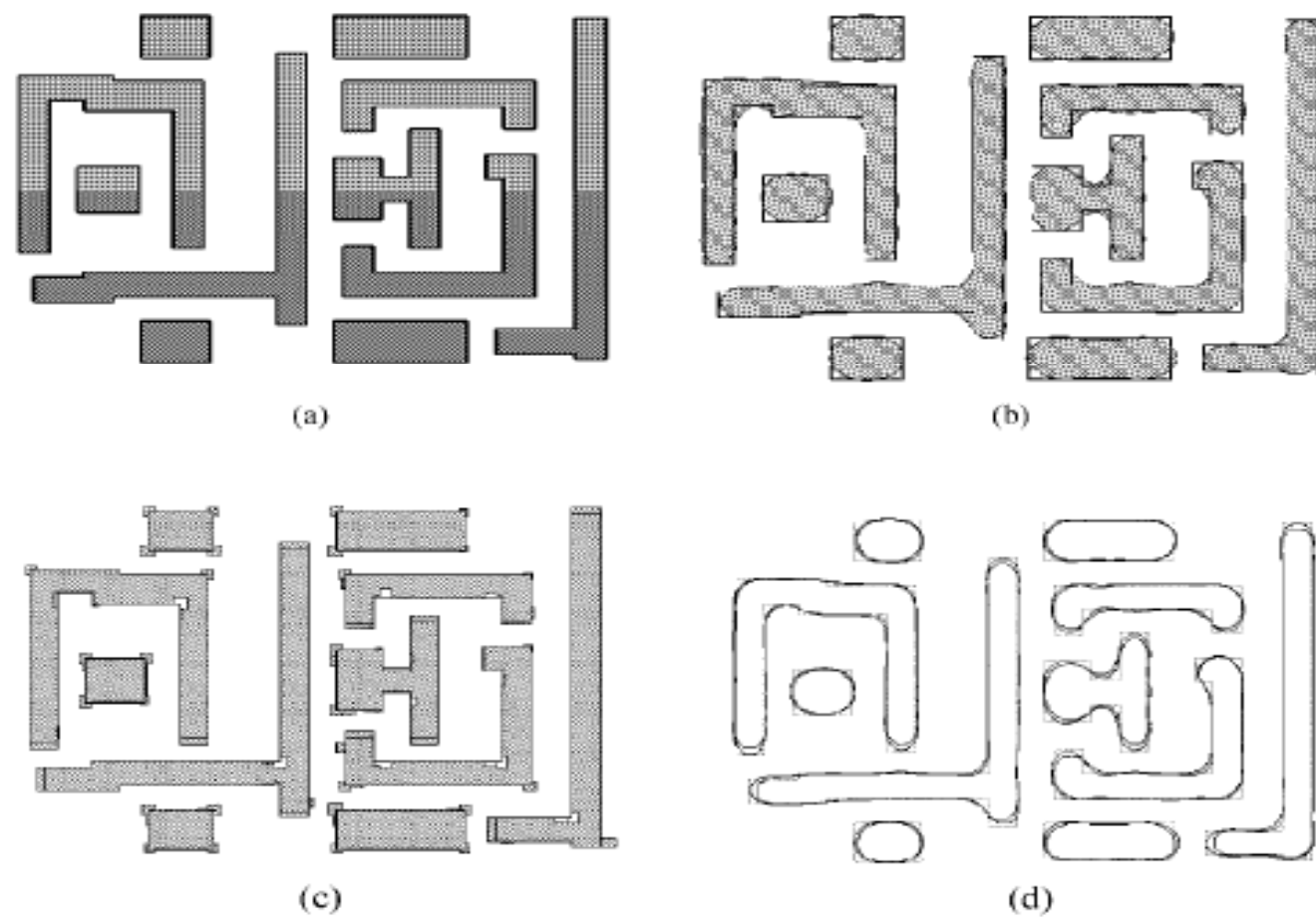
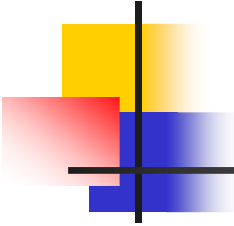
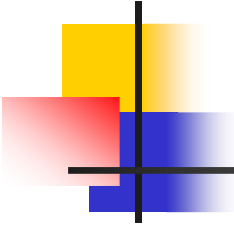


图5 (a)待矫正目标图形;(b)矫正后成像图形;(c)矫正后版图图形;(d)与文献[4]算法矫正后成像图形比较



新世纪的半导体光刻技术集锦

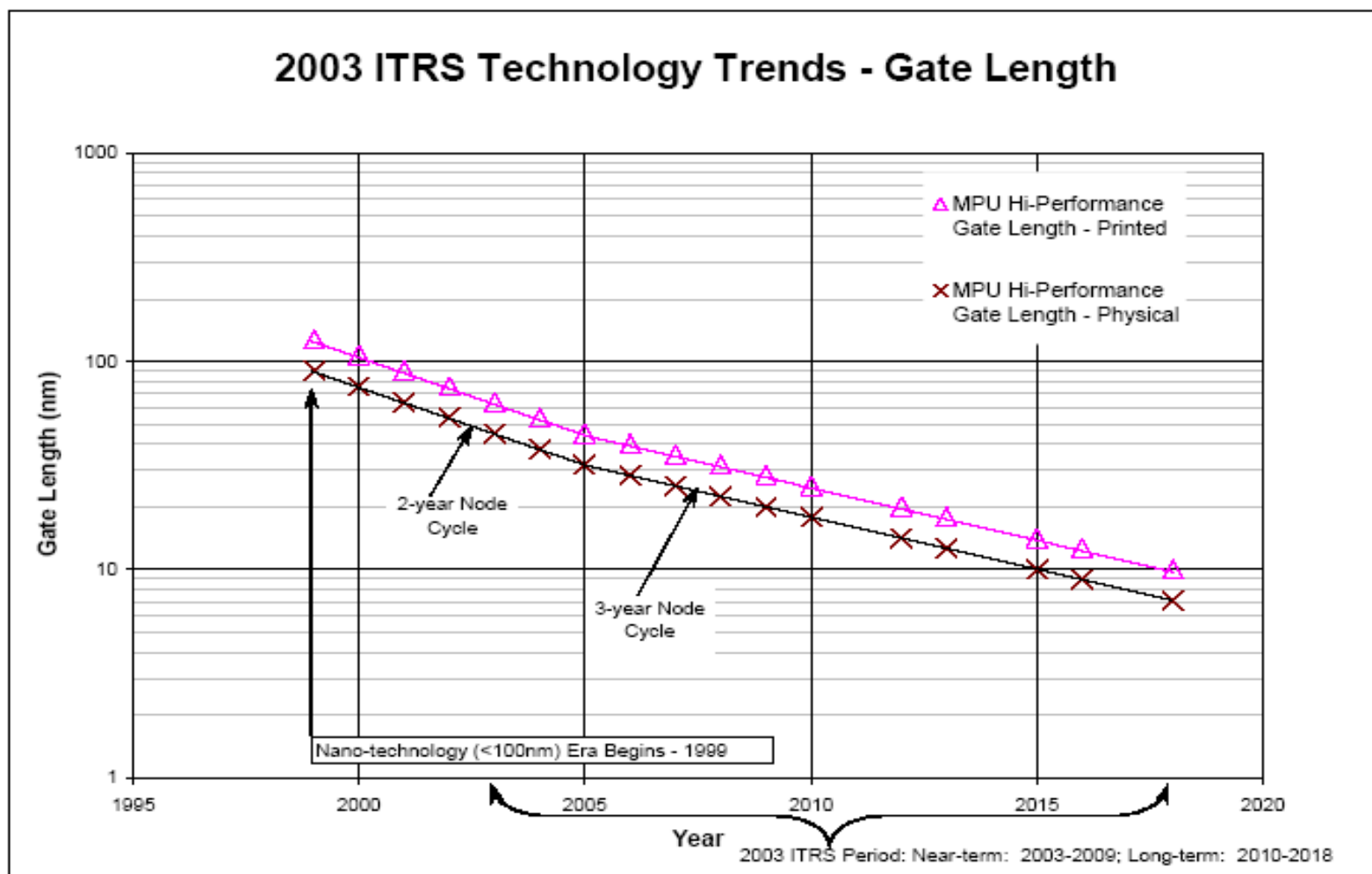
- 光学曝光 当前曝光的主流技术
- **F(2)**准分子激光曝光 改善了折反射光学系统的性能
- 极紫外曝光 欧洲和日本诸公司正在研究
- 限角散射电子束投影曝光 被众多厂家看好
- 变轴浸没透镜缩小投影曝光 准备在2002年前后推出生产型设备
- 电子束直写 在SOC的开发中，更具灵活性
- **X**光曝光 作为下一代曝光技术前景诱人
- 离子投影曝光 力争尽快推出商业化设备

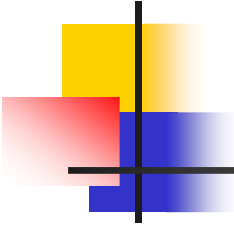


半导体工艺进步的困难和挑战

- 半导体制程技术的演进先前大致依循摩尔定律（**Moore's Law**）：每两年进步一世代，布局规则（**Layout Rule**）持续需较前代原始设计微缩**70%**，使集成电路（**IC**）单位面积内含晶体管的数量增加一倍。
 - 目前先进技术已正式进入奈米（**Nanometer**，按一奈米=十亿分之一公尺）世代，如**90奈米**技术已在量产中。但是在技术继续演进的道路上可谓困难与挑战重重。
 - 半导体业界所共同订定的国际半导体技术蓝图（**International Technology Roadmap for Semiconductors, ITRS**），从**2003**年起即体认制程持续微缩所面临的困难度越来越高，发展时程已从每**2**年发展一个世代重新修正为每三年一个世代（如图一所示）
- 《方兴未艾之‘可制造性导向设计’》 林宗辉**1**, 马光华**2 1**: 联华电子公司

图一 2003 ITRS Technology Trends





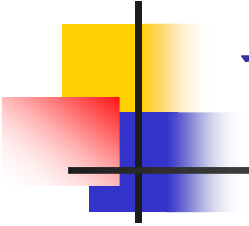
WHO AND WHY

■ 为什么要进行DFM?

- 集成电路(IC)制程技术不断的微缩, 在稳定性的控制上日形艰难及许多制程上的衍生效应于先前设计时并未被充分考虑, 使得IC可正常功能的幅度(Margin)及良率(Yield)提升的速度在奈米世代后开始受到明显的影响, 因此一些‘可制造性导向设计’(Design For Manufacturability, 以下简称DFM)的解决方案, 在近一、二年来开始成为重要的主题。

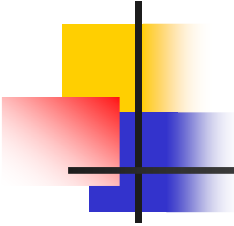
■ 什么是DFM?

- DFM或相似DFY (Design for Yield, 良率导向设计), 简而言之即由制程人员将IC由设计完到制造过程所可能发生之各种效应(Effects)及变异(Variation)及更重要的对IC功能的影响加以仔细的分析检测, 而设计者在设计流程中即将这些信息考虑含入, 使所设计的IC对制程变异有更佳之容忍度(tolerance)及更容易有高良率。



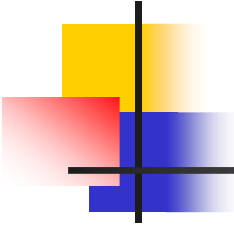
面临的挑战及**DFM**方案

- 微影技术对设计布局带来的挑战及**DFM**方案
- 元件微缩之衍生效应的影响及**DFM**方策



微影技术对设计布局带来的挑战及**DFM**方案

- 挑战：设计实体布局（**Physical Layout**）上确实度及稳健性
 - 为因光学微显影技术（**micro-lithography**）发展时程无法跟上制程技术微缩所需，如**90**奈米之闸极线宽实际已达**70**奈米，但最新型现役光学扫描机之波长仍维持在**193**奈米，由于实体尺寸所需已远小于所能使用之光学波长，所以制程技术进入所谓次波长纪元（**Sub wave length era**），常见比喻如“好像在用蜡笔（粗）去画条像头发一样线”形容其困难度。
 - 在此情形下造成在晶圆上曝出后的关键尺寸（**Critical Dimension, CD**）易产生误差（**Bias**），直接或间接造成缺陷（退缩，桥接，开短路等），影响量产良率。此外如**Poly Gate**的**CD**与原设计时选用差异太大，对组件特性影响造成产品运作区间过小等种种问题。

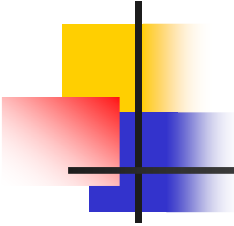


微影技术对设计布局带来的挑战及**DFM**方案

- 目前晶圆专工业者为解决此问题，有多项**DFM**的措施：

1. ‘推荐规则’（Recommended Rule）

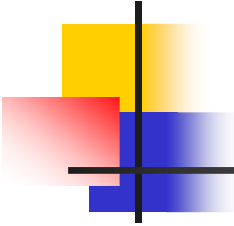
- 在90奈米开始，便为尔后量产时之可制造性考虑，开始在提供给客户的设计支持手册（**Design Support Manual**）中，额外加入或整理出较有利量产的设计规则。此种为考虑量产制程容忍度及提高良率考虑所订定出来的设计规则，称之为‘推荐规则’（**Recommended Rule**）。由于推荐（布局）规则系在某些最小设计规则上——大部分是间隔（**spacing**）规则上——与以放松（大），全部采用会使晶粒面积相对变大，所以一般会依对可制造性或对良率的可能贡献程度定出不同的推荐等级，如对良率确定贡献较大者定为第一优先（**Priority one**），提醒设计者优先采用。



微影技术对设计布局带来的挑战及**DFM**方案

2. ‘光学邻近效应修正法’的图样布局指导原则 (OPC-Friendly Design Guideline)

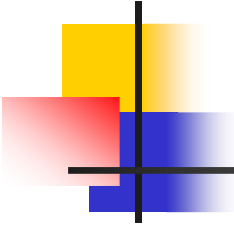
- 在提供给客户的设计建议中加入适合‘光学邻近效应修正法’的图样布局指导原则（**OPC-Friendly Design Guideline**），亦即指出某些**OPC**较无法完美修正之布局放样方式，提醒设计者选择避开，以后更可能植入于自动布局软件中，避免有过紧不合量产制造的设计布局图样，而造成产品良率不易提升。



微影技术对设计布局带来的挑战及**DFM**方案

3. 光学规则检验（Lithography Rule Check, LRC）

- 传统的设计后布局验检（Post Layout Check）仅检验线路布局时的规则是遵循**IC**制造厂所提供的规则与否，均未将光学之效应考虑在内，亦即不是检验最后在晶圆上所产生的最后图形。
- 对此发展出各式之光学规则检验（Lithography Rule Check, LRC），亦即将设计布局作一光学/OPC之仿真后，再去做检验，如此即可找出设计布局上较不利制造之热点（hot spot），而可在设计阶段加以修改排除，增加设计布局之稳健度（Robustness）。LRC方法目前都在开始使用中，长期可自动化后将是设计流程的必要步骤。



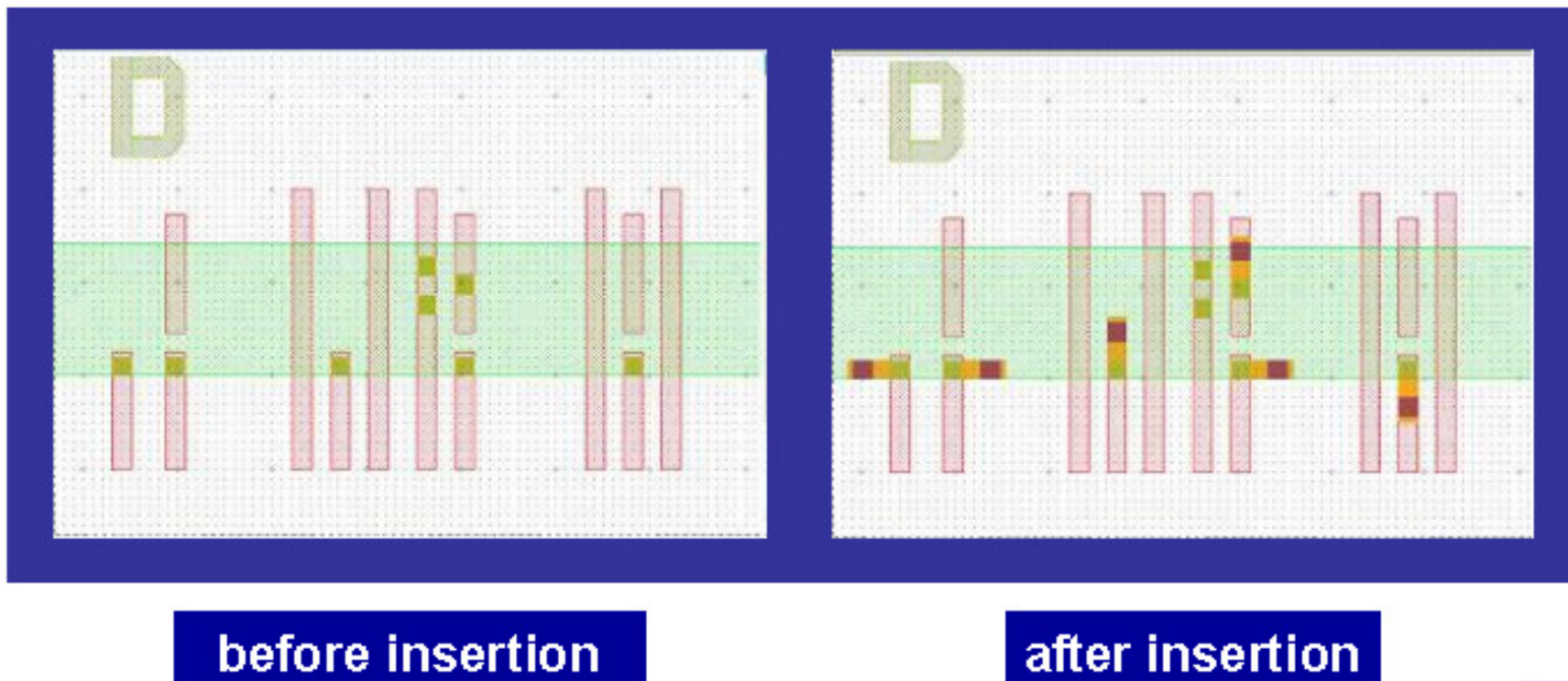
微影技术对设计布局带来的挑战及DFM方案

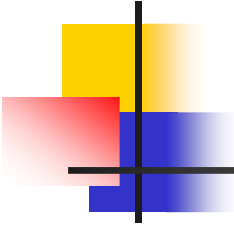
4. 失效点预防（Fault Prevention）

- 此外与设计布局稳健度有关但与微影技术较无直接关系之DFM主要作可能失效点预防（**Fault Prevention**）而增加双重接点，例如在先进的铜导线制程中，上下两导线仅靠单个内联机栓塞（**Via**）连通，单一产品也许有上千万个。在制程微缩下，因所掉落的微尘或因电迁移（**Electro-migration**）效应使单个内联机栓塞在长期操作下产生的空洞（**Void**）而都易造成断线，使产品失效。
- 晶圆专工业者在可制造性导向设计规则中建议在不影响面积下，尽量设计成两个以上的内联机栓塞（**Double Via Insertion, or redundant via**），以增加量产时的良率及产品稳健性（见图二）。此法已在设计自动化上实现，单层 **double via** 实现率可达九成以上。

图二 双接触孔可提高良率

Better yield without area impact...

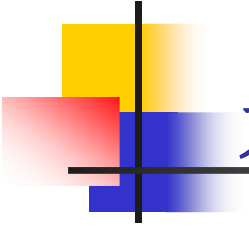




元件微缩之衍生效应的影响及**DFM**方策

挑战：次级效应（secondary effects）

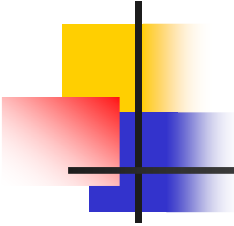
- 元件（**Device**）持续微缩，晶体管特性对制程变化及其环境的敏感度愈来愈高，许多先前被视为次等效应（**secondary effects**）已不能再被等闲视之，考虑对整体电性的变异，这些效应已明显成为主要效应对产品的设计有相当的影响；
- 设计者希望制程提供者能仔细分析这些效应，如无法在制程上降低避免，则需将其含入设计者所依赖之电性参数模型中（**SPICE Model**），使能在设计时作最精准之计算。



元件微缩之衍生效应的影响及DFM方策

■ 常见提起之效应有：

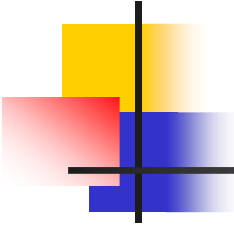
1. **LOD (Length of Diffusion) Effect:** 对相同大小栅极因其所在扩散区的相对位置及尺寸大小而有不同电性之效应，此为**STI** 不同应力效应之故，又称 **STI stressing effects**。
2. **Well Proximity Effect:** 因阱区离子散射 (**Scattering**) 效应之关系，晶体管电性会因**N**阱区至扩散区距离不同而受不同程度之影响。
3. **L shape Effect (poly/Diffusion flare):** 在布局时画一个**L**形的图形其弯角假设为直角，但在实际状况下因光学临近效应，弯角是一个类似外展喇叭形 (**flare**)，当**poly gate**愈来愈靠近 **diffusion** 时这些弯角就开始对电性开始产生影响的效应。



元件微缩之衍生效应的影响及DFM方策

■ 4. 负载效应 (Loading Effect)

- 在制程后段内连线 (Interconnect) 上, 自进入130奈米世代后, 为降低导线阻值及电容 (Resistance and Capacitor, RC) 以增快导线速度, 在 Poly flareDiff. flare导线本身及其隔绝介电层 (Dielectric Layer) 引进铜及低介电值材料 (Copper/Low-K), 及所需双嵌入制程步骤 (Dual-Damascene Process), 使用许多新制程技术如电镀铜 (Copper Electroplating), 铜化学机械研磨 (Cu-CMP), 及低介电层蚀刻 (Low-K Etching)。这些制程技术会因设计图样布局的线宽大小及密度变化而产生不同程度的负载效应 (Loading Effect), 这些制程负载效应, 会影响内连线电阻及电容的实际效果。
- 制程方案以Cu CMP为例, 为降低负载效应, 专工业者在提供给客户的设计支持手册中, 会有加入无作用铜填充物 (Dummy Filler) 规则, 来增加研磨平坦性 (Planarization)。
- 即使如此, 因研磨不平整度所造成的厚度变化, 必须被考虑进电阻电容的计算中, 以确保内连线速度与当初设计的标准符合。
- 此外之因蚀刻制程造成导线深度不同而对RC设计目标之影响, 目前也是希望透过电性量测之方式加以了解中。

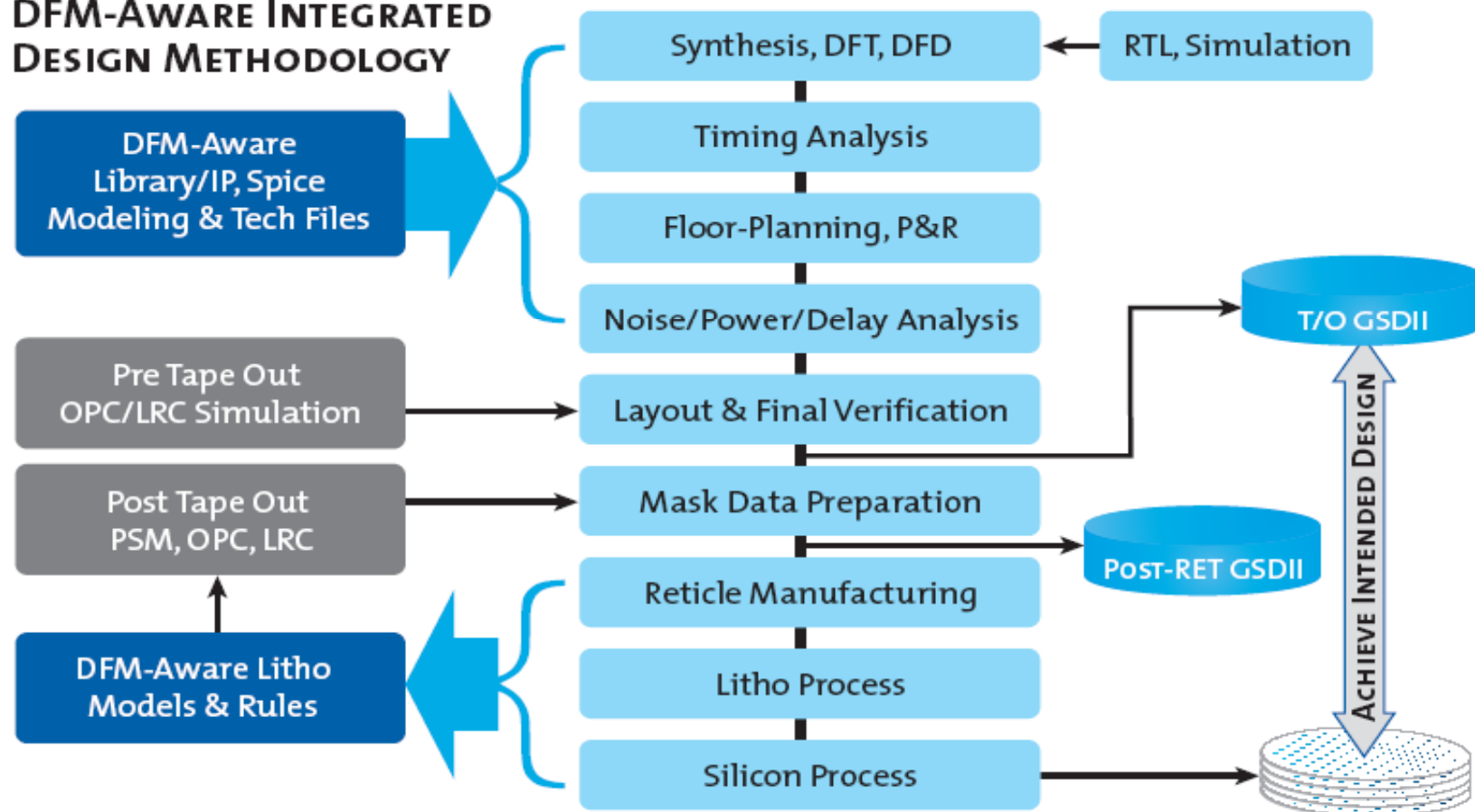


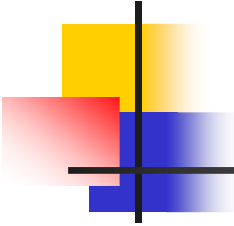
设计 / 制造 / EDA工具

- 因制程微缩所演进出来的可制造性设计导向方案越趋显的重要，尤其当90奈米芯片已进入量产规模的现在，设计业者与专工业者已愈来愈重视此一问题。设计业者持续要求专工业者提供各方面的可制造性设计建议，视产品而加以运用，以确保自家产品的良率及稳健度。
- 设计业者需有适当可用的自动化设计软件工具（**EDA Tool**），使设计业者在设计之初，就可以利用这些工具所模拟的结果来修正设计，以确保所设计与制造的结果相近。所以**DFM**解决方案之最后目标需实现于**EDA** 工具上。
- 所以设计者，**EDA** 工具业者及制程提供者是完整方案的铁三角。

图三 UMC L90 DFM Support Flow

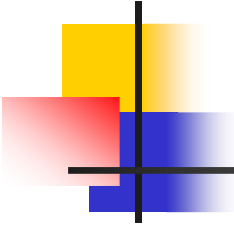
DFM-AWARE INTEGRATED DESIGN METHODOLOGY





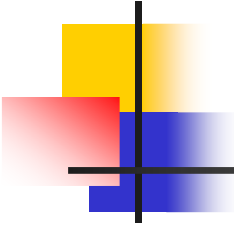
设计 / 制造 / EDA工具

- 90奈米制造所提出的可制造性设计方案支持流程（DFM Support Flow）如图三所示。
 - 包括可制造性设计建议的IP及Library；在设计阶段亦提供客户DFT（Design-For-Test）及DFD（Design-For-Diagnosis）两种服务；
 - 在出光罩之前及之后提供客户LRC/OPC等服务（Pre/Post Tape/Out LRC/OPC Service）。
 - 针对出光罩后的设计规则检验也有提供针对可制造性导向设计的检验流程。
 - 在可制造性导向设计的指导原则（DFM Design Guideline）中，如图三所示，除提供双内联机栓塞建议规则（Double Via Insertion）外，亦可提供此项自动化的服务。
- 而这些提供的可制造性设计的整套方案都必须要有设计业者的配合，才能为产品良率共同创造双赢。在此同时，也要设计业者不断的提供意见给芯片制造商来共同提升整个可制造性设计方案的最适化（Optimization）。



可测性设计DFT的必要性

- 当今的 IC 和印制电路板非常复杂，需要精细而大范围的测试，这大大增加了电子产品开发和制造的成本，因此，引入可测试设计就十分重要。
- Collett International Research 公司发现，在所有的芯片设计中，首次制造失败的占**51%**。而且，**74%** 的失效是属于功能错误的。
- 工程师必须研究产品成品的拓扑结构，以便找出错误。这个过程非常艰难，因为工程师只能利用器件上的可用引脚，而且必须应对制造过程中使用的 **ATE**（自动测试设备）在运行速度和内存容量方面的限制。



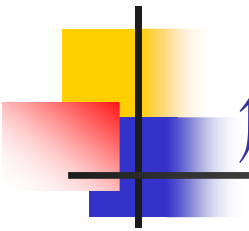
测试法

■ 功能测试法

- 大多数 **IC** 都是用功能测试法来测试的。工程师们开发出各种测试向量来检验特定 **IC** 的所有功能特性，并在生产过程中利用这些测试来验证每一个单元。然而，目前的 **IC** 太复杂了，功能测试向量的数量甚至对于最新的 **ATE**（自动测试设备）来说也是太大了。

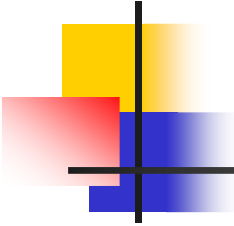
■ 结构测试法

- 一块 **IC** 是由大量独立的或准独立的功能块构成的，单独测试每一个功能块的效率会更高。这种方法叫做结构测试，因为它把一个器件分成一个个功能部件，再单独测试每一个结构。为了完成这项任务，你必须能够给功能块输入适当的向量，并且获得相应的输出。因为功能块可能没有外部的输入端和输出端，所以你必须把一些新的结构插入到 **IC** 中。



解决测试问题

- EDA 行业已经开发出了两类产品来解决测试问题：
 - 一类是 **ATPG**（自动测试图形生成），它可通过检验电路网络和各种功能来提供测试向量；
 - 另一类是 **DFT**（可测性设计），它可在芯片内生成各种逻辑结构，以便在测试器件时支持生产。设计师们经常在同一芯片中运用这两种方法，因为每种方法的特点是相互补充的。



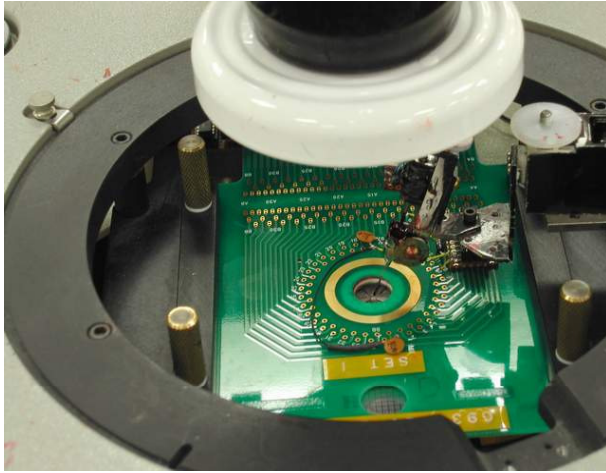
支持 DFT 的产品

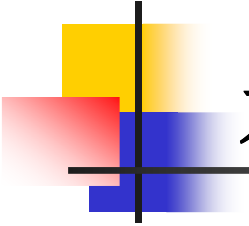
- Synopsys 公司的最新产品 DFT Compiler（DFT 编译程序）与该公司的 TetraMAX ATPG 工具配合使用。DFT Compiler 与 Design Compiler（设计编译程序）一起使用，完成一次性通过的扫描综合。
- Mentor Graphics 公司在 DFT 领域扮演主要角色。该公司可提供用于可测试性分析的 FastScan 工具套件。
 - FastScan 支持多种故障模型，以帮助设计师确保产品满足生产测试需要
 - 可以利用 BSDArchitect 来生成符合 IEEE 1149.1 标准的边界扫描电路
 - 利用 MBISTArchitect 来生成用于嵌入式内存的 BIST 结构
 - 利用 LBISTArchitect 来生成可在器件内嵌入测试向量的 BIST 结构
 - 这样就可缩短测试时间，减少 ATE 需要的内存数量
- Cadence 公司已决定不开发自己的 DFT 产品，而是把 Mentor 公司的 FastScan 产品集成到它自己的 Envisia PKS 流中。
 - DFT 领域的大多数工作是以数字设计为目标。然而，当前的 SOC（单片系统）设计通常包含一个或多个模拟块。DFT 技术的设计师们以数字逻辑为中心开发 DFT，因此很难把 DFT 改造用于模拟应用。Credence 公司正率先进行模拟测试工作。

測試生產車間（一）



測試生產車間（二）





本次课完

- 回顾讲过的内容。

补充材料：
本次课内容