



微电子器件可靠性

Reliability of Microelectronic Devices

西安电子科技大学 XIDIDIAN UNIVERSITY

V2.0 © 2007 韩孝勇 Han XiaoYong

xyhan5151@yahoo.com.cn www.dianzichan.com

第三次课 失效物理



第三次课 失效物理

本次课内容:

3.7 CMOS电路的闩锁效应

3.8 静电放电损伤

3.9 辐射损伤

3.10 软误差

3.11 水汽的危害

补充材料:

- 电子设备中电路板布局、布线和安装的抗ESD设计规则
- 元器件应用中的静电防护

本次课要点:

- 了解闩锁效应的机理和解决办法
- 了解静电的来源,对器件的损伤
- 辐照效应对器件的影响,抗核加固
- 什么是软误差
- 水汽对器件的危害

3.7 CMOS电路的闩锁效应

闩锁效应

- 是指CMOS电路中寄生的固有可控硅结构被外界因素触发导通，在电源和地之间形成低阻通路现象。
- 一旦电流流通，电滤电压不降至临界值以下，导通就无法中止，引起器件的烧毁。

闩锁发生的条件

1. 两管增益之积大于1（维持正反馈）
2. 电源电压和电流足够
3. 触发寄生电阻压降大于寄生晶体管EB结正向压降（正偏）

一般在10V以上，几十mA 电流。
高温时更容易发生。

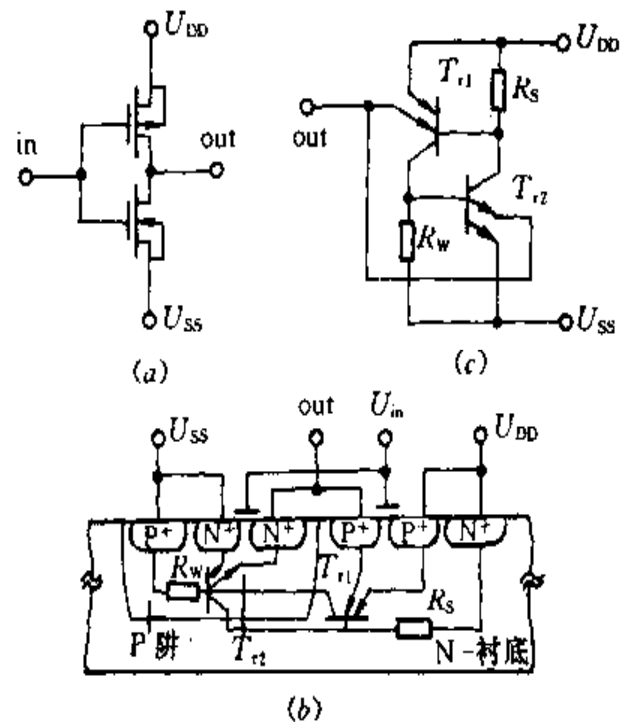


图 3.18 电路输出端上闩锁发生情况

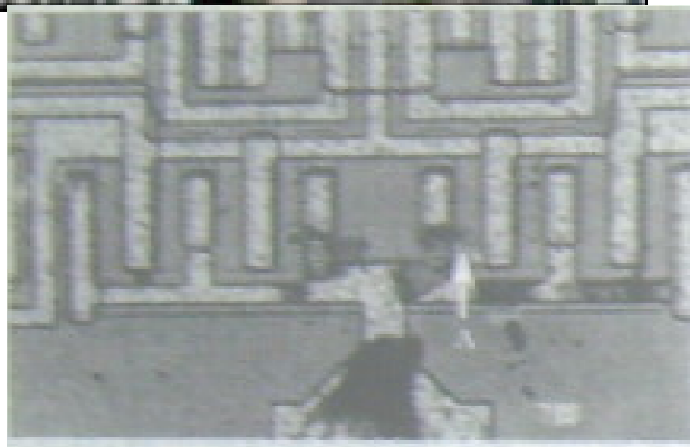
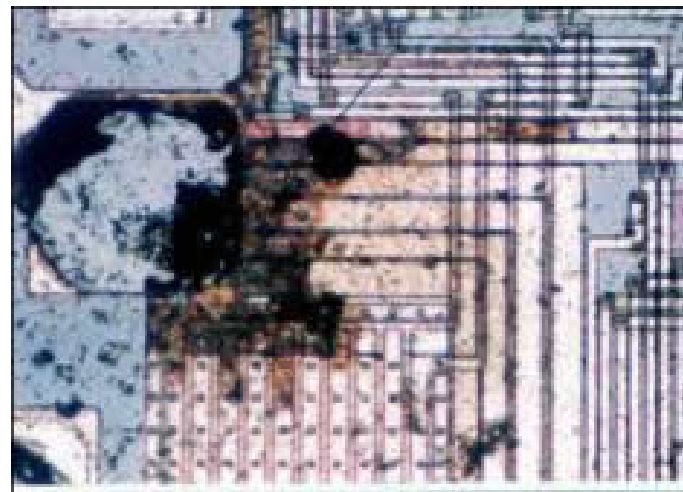
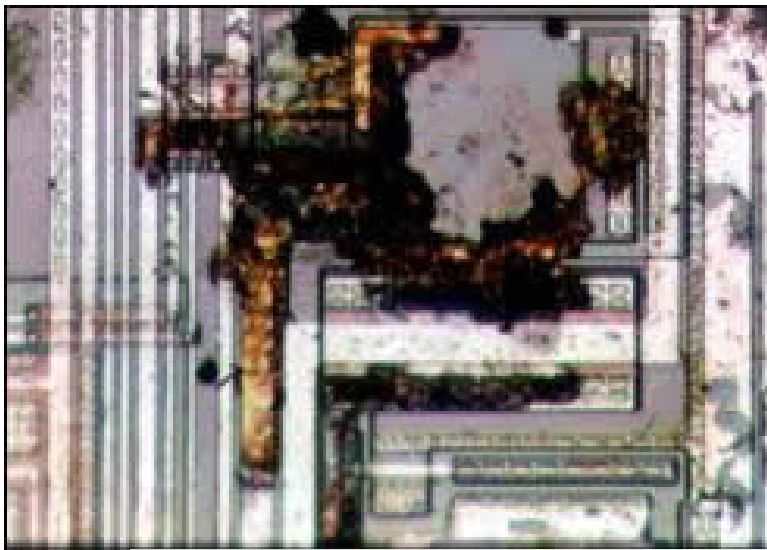
(a) 输出电路；(b) 寄生 SCR 等效电路；(c) 电路剖面 and 寄生 SCR 结构



检测方法

- 直流电源法
 - 变化电源压，根据电源电流变化判断；
 - 缺点：有可能误判。
- 电信号触发法
 - 电源电压不变，信号电压变化，根据电源电流判断；
 - 缺点：有可能触发不了或误判。
- 扫描电镜法
 - 可以方便检测到失效点；
 - 缺点：比较贵，有可能与**ESD**混淆。
- 注：所以要看版图，有无容易闩锁的结构，有无保护等具体分析，而不能只看电流变化和烧毁情况。

发生死锁的图片



抑制办法

- 采用SOS工艺，在绝缘衬底上外延单晶硅并制作电路
 - 绝缘衬底的硅薄膜SOI(Silicon on Insulator), SOS 蓝宝石衬底外延硅结构(SOS-Silicon on Sapphire结构)
- 采用保护环(图3.19)
- 采用外延及阱埋层的方法(图3.20)
- 改进版图设计：多打孔
- 注意使用方法：带电操作，加电次序

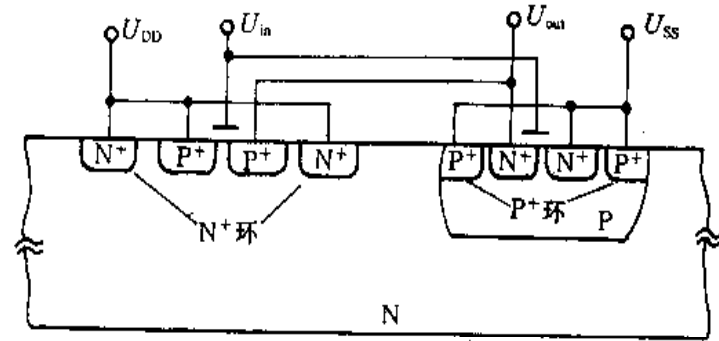


图 3.19 带保护环的剖面结构

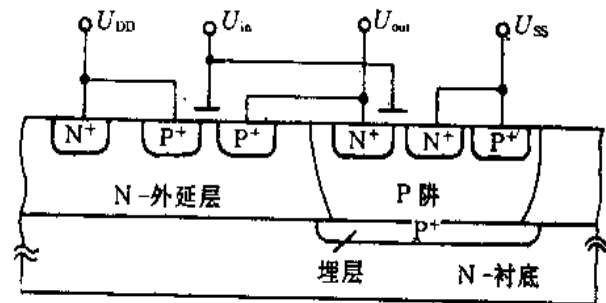


图 3.20 N/N+外延和P+埋阱的剖面结构

SOS SOI

- 绝缘衬底的硅薄膜SOI(Silicon on Insulator),
- SOS 蓝宝石衬底外延硅结构(SOS-Silicon on Sapphire)

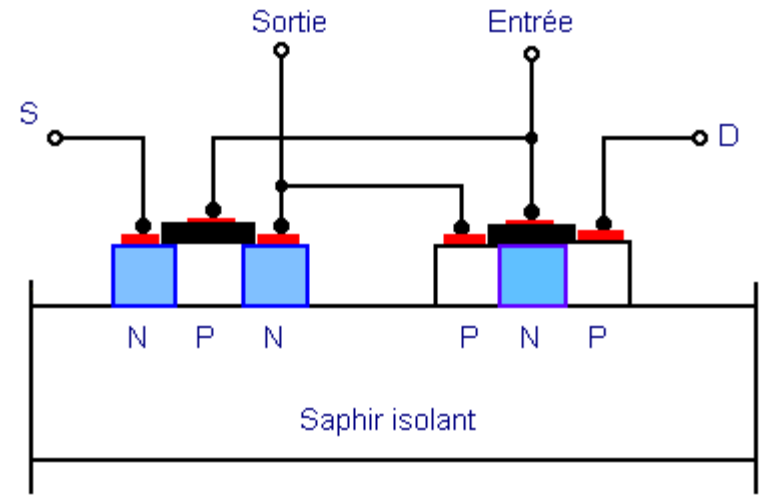
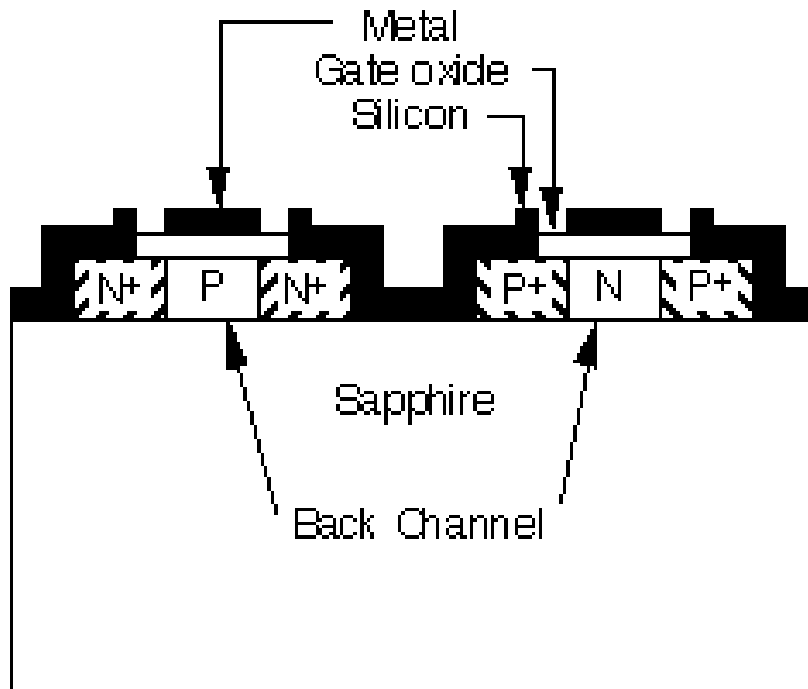
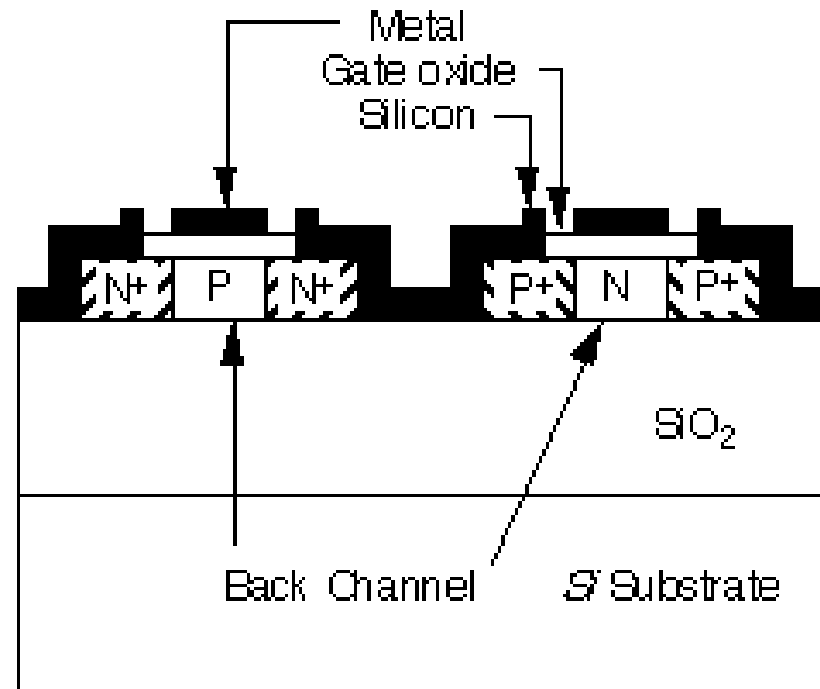


Fig. 20. - Inverseur à MOS complémentaires en technologie MOS-SOS.



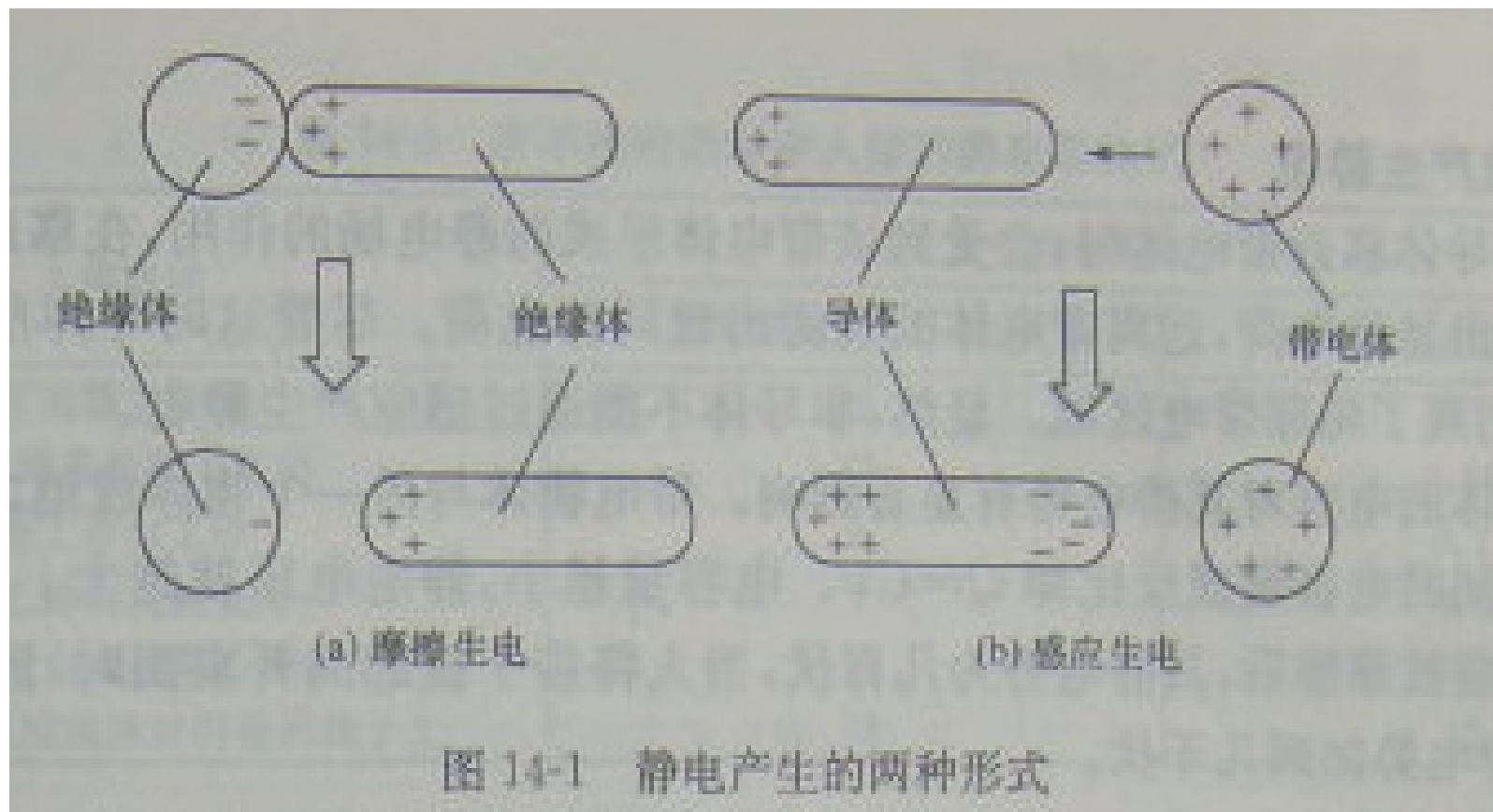
CMOS/SOS



CMOS/SOI

3.8 静电放电损伤

产生静电的两种形式：摩擦及感应





静电源

- 人体；
- 机器设备；
- 工作桌椅；
- 地板；
- 工作服装；
- 包装容器；
- 组装、清洗测试修理区；

在不同活动中人体的静电势

表 14-3 在不同的活动中人体的静电势(kV)

人体活动	静电电压(kV)	
	相对湿度 10%~20%	相对湿度 65%~90%
在地毯上走动	35	1.5
在乙烯基地板上走动	12	0.25
在工作台工作	6	0.1
拿乙烯封皮的文件	7	0.6
从工作台拿起聚乙烯袋	20	1.2
坐在有聚氨酯泡沫材料垫的椅子上	18	15

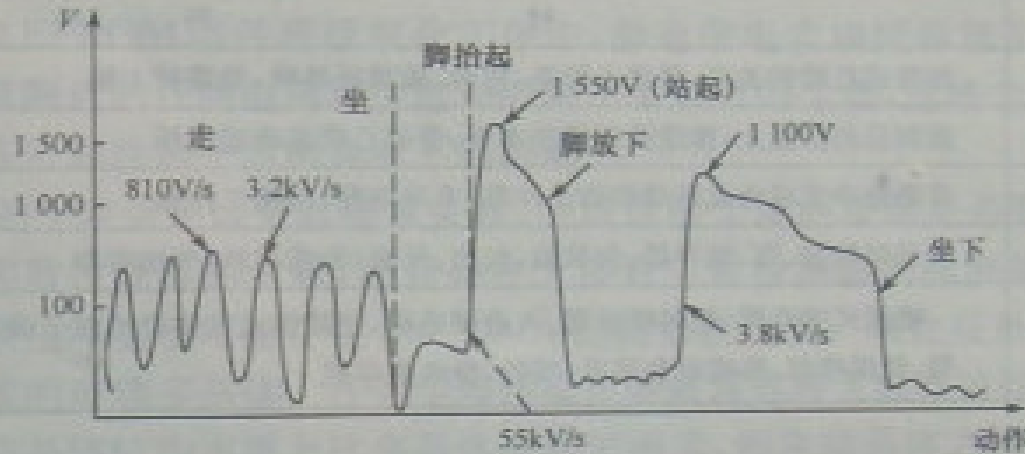


图 14-2 操作者手上的静电势



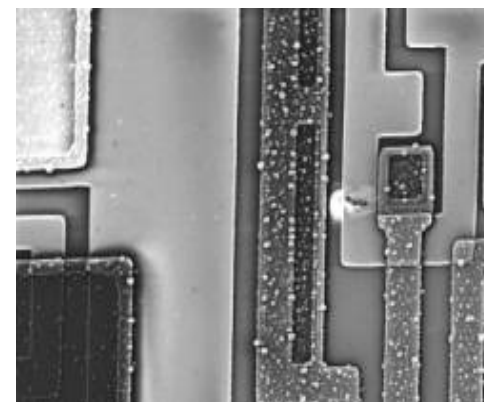
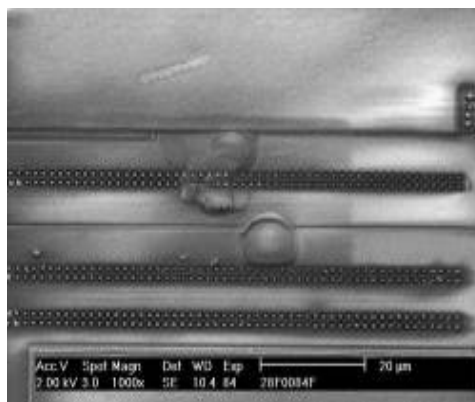
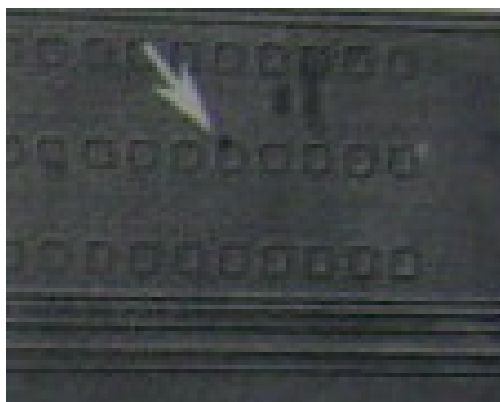
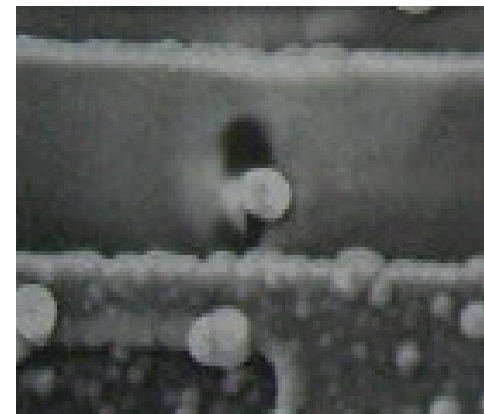
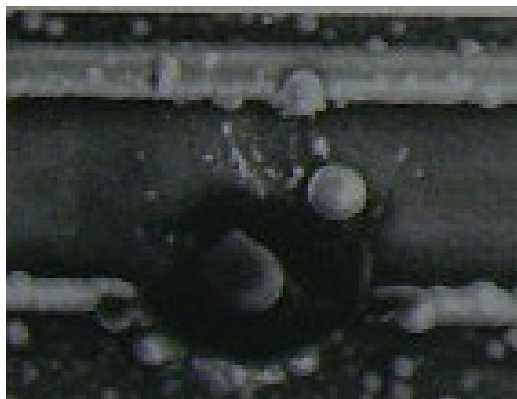
损伤模式

- 典型失效机理

- 热二次击穿
- 金属融化
- 体击穿
- 介质击穿
- 气体电弧放电
- 表面击穿

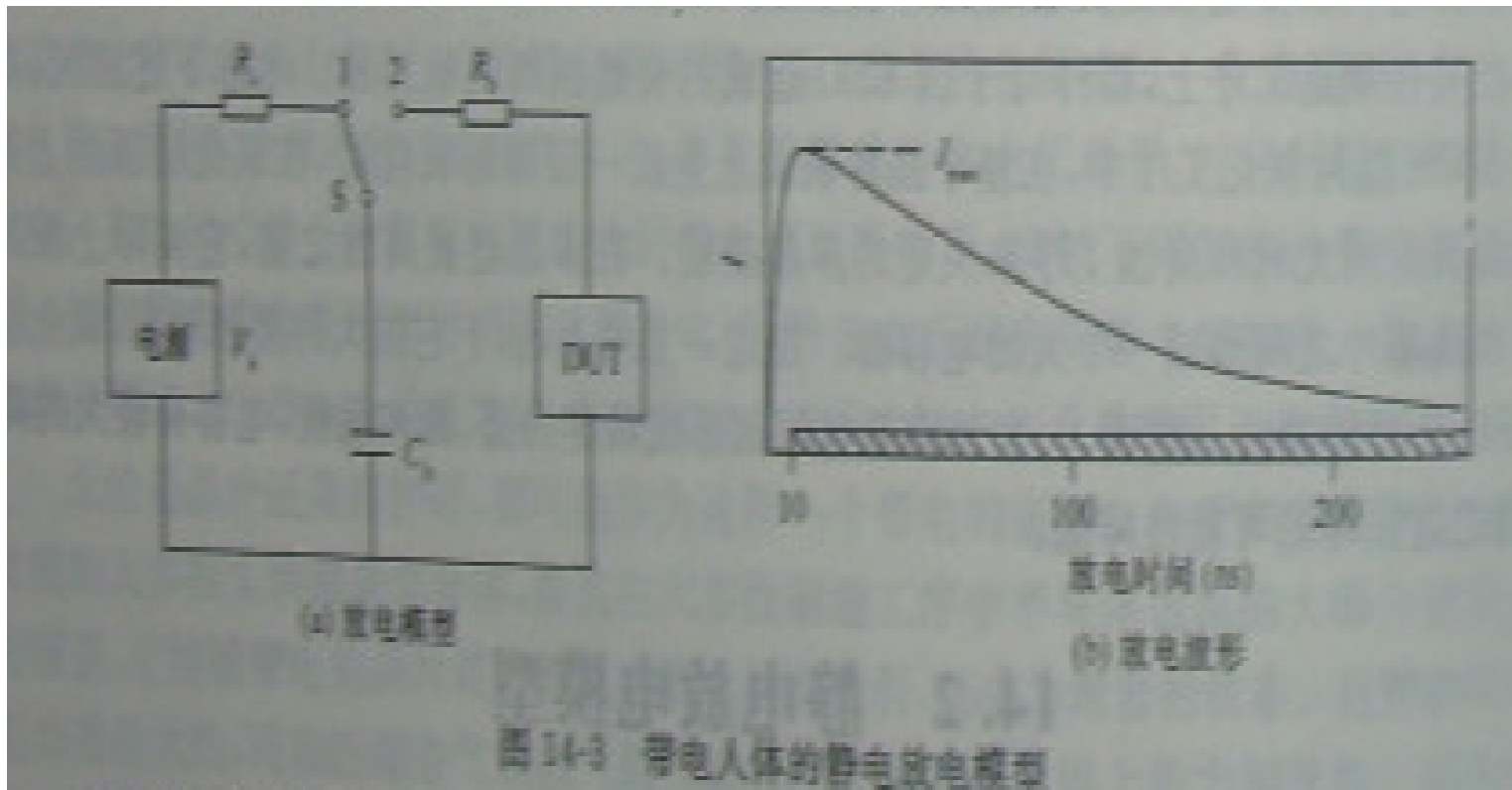
- 突发性失效和潜在性失效（静电损伤是累计性的和不可恢复的，所以不能进行筛选试验项目）

静电击穿照片（如爆炸）



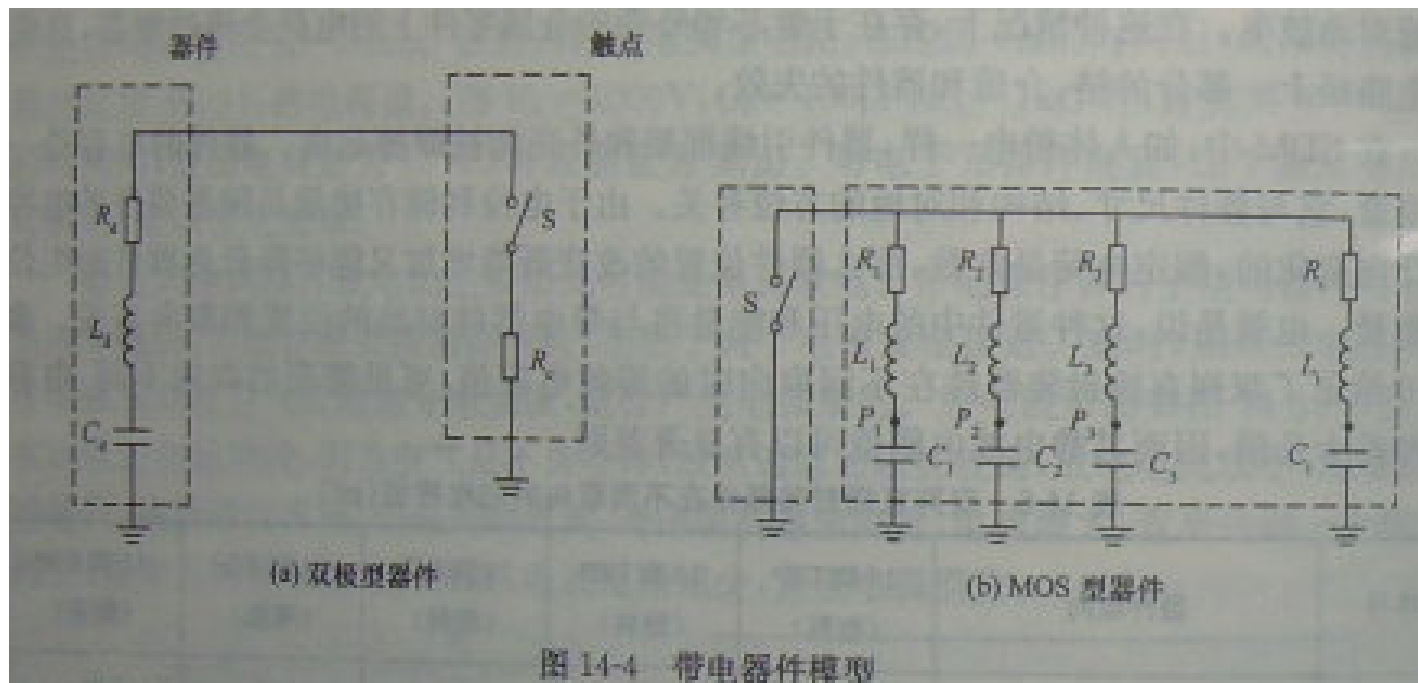
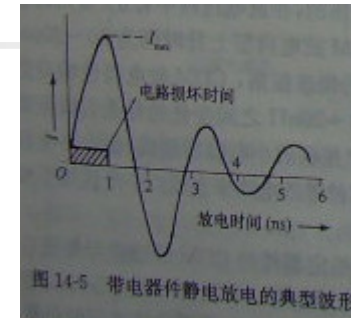
静电放电模型-HBM

- 人体模型HBM
 - 1.5k 100p



静电放电模型-CDM

- 带电器件模型CDM





静电放电模型-其他

其他模型:

- 电场感应模型 (FIM)
 - 器件在静电场中, 内部感应出电动势引起失效。
- 机械模型 (MM)
 - 类似人体模型 200p 0欧
- 带电芯片模型 (CCM)
 - 类似带电器件模型, 无引脚



ESDS等级划分

ESD等级	符号	静电电压
1	Δ	0~1999V
2	Δ Δ	2000~3999V
3	不加符号	$\geq 4000V$

敏感元件分类-1级

表 14-7 静电敏感元器件的分类

级别	V_{ESD} (单位 V)	元器件类型、名称及说明
1级	0~1 999	无保护电路的 MOS 元器件 MOS 工艺的元器件(包括 VMOS 和 VDMOS 工艺) 声表面波(SAW)器件 含有 MOS 电容的运算放大器 结型场效应晶体管 整流管($T_A = 100^\circ\text{C}$, $I_0 \leq 0.175\text{A}$) 精密稳压二极管和精密集成稳压器 微波和超高频器件($f > 1\text{GHz}$) 薄膜电阻器,容差小于等于 0.1%,功率大于 0.05W;容差大于 0.1%,功率小于等于 0.05W 电荷耦合器件(CCD) 运算放大器 无保护电路的大规模集成电路(微处理器、存储器等) 含有 1 级元器件的混合电路

敏感元件分类-2级

2级	2 000~3 999	有保护电路的 MOS 器件 肖特基二极管 精密电阻网络 霍尔器件 小功率双极晶体管(功率 $\leq 0.1W$, $I_C \leq 100mA$) 运算放大器(含有 2 级保护电路的 MOS 电容) 有保护电路的大规模集成电路(微处理器、存储器等) 含有 2 级元器件的混合电路
----	-------------	--

敏感元件分类-3级

3级	4 000~5 999	运算放大器(含有3级保护电路的MOS电容) 电阻式芯片、片式电阻器 小信号二极管(功率 $\leq 1W$, $I_C \leq 1A$) 低频双极晶体管(额定值 $\leq 1W$, 不含齐纳二极管) 通用整流二极管和快速恢复二极管 整流管($T_A = 100^\circ C$, $I_0 > 175mA$) 硅小功率晶体管(额定功率值小于 $\leq 3.5W$, $I_C \leq 350mA$) 光电器件(光电耦合器、发光二极管、光电晶体管) 压电晶体 未列入I类和II类的其他微电路压电晶体 含有3级元件的混合电路
----	-------------	---

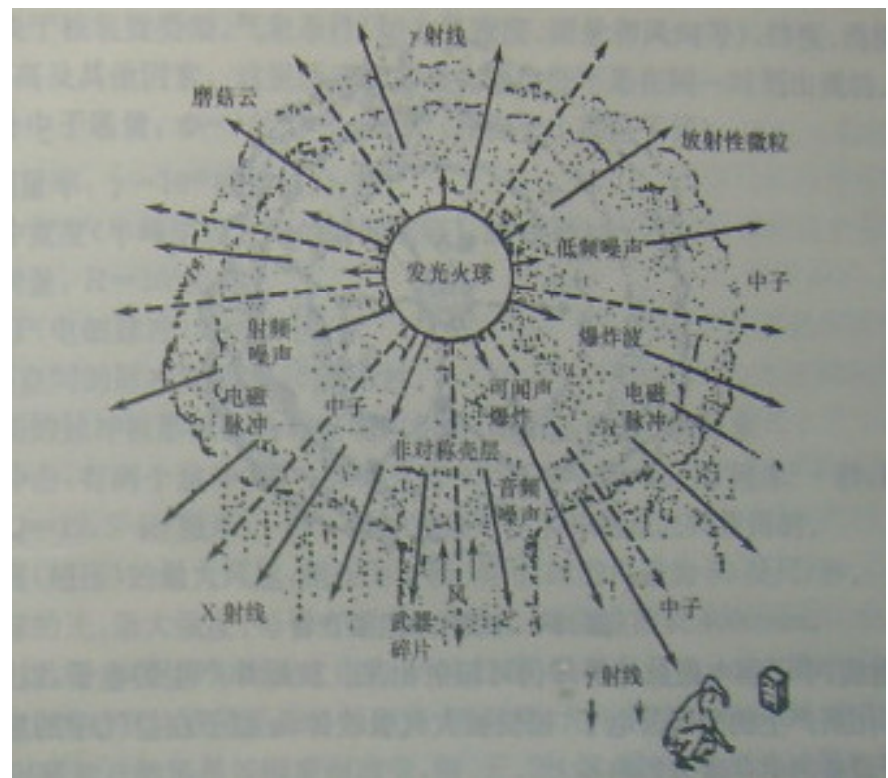
静电防护措施

- 防静电工作区：地板 工作台 湿度 接地系统 防静电器具 防护罩
 - 操作者：手腕 工作服 操作
 - 包装 运输 储存
 - 设计防护网络
 - 管理 标志 提示等
-
- 补充材料：电子设备中电路板布局、布线和安装的抗ESD设计规则
 - 普通电路中的保护电路



3.9 辐射损伤

- 来源：
 - 自然环境中：天然相射带、宇宙射线、太阳风和太阳光耀斑。它们是一些带电或不带电的粒子，包括质子、电子、中子、x射线和 γ 射线等。
 - 人造环境如核武器爆炸环
- 辐射对微电子器件的损伤：
 - 永久损伤
 - 半永久损伤
 - 瞬时损伤





辐照效应

- 位移效应：中子不带电，具有很强的穿透能力。可以将原子打离原位成为间隙原子，原处留下个空位。
 - 影响：少子寿命（陷阱及俘获中心）迁移率（散射中心）等
- 电离效应：电子、质子、 γ 射线等辐射粒子进入硅材料并与原子轨道上的电子相碰撞产生电子空穴对而使原子电离。
 - 影响：电导率上升；化学变化，分子结构变化；氧化层中电荷增加，界面态增加。
- 瞬时辐照效应： γ 射线在空间电荷区产生大量电子空穴对。
 - 影响：瞬时光电流；闩锁等
- 单粒子效应：高能重粒子引起软误差等。



核电损伤

- 核武器爆炸时产生的核电磁脉冲，在电子系统的输入电缆或天线回路中产生感应电流，电流流入系统内部，产生瞬时干扰和永久损伤。
 - 感应电流对数字电路损伤较大，能改变其逻辑状态，发生二次击穿而烧毁。
 - 对**CMOS**电路主要引起栅穿或烧毁保护电路，也可引发闩锁。
 - 对双极型器件，主要对**PN**结有损伤，引起反向漏电或击穿。



抗核加固

- (1) 不同类型器件具有不同的抗核能力，应根据使用需要，选用性能合适、抗核辐射能力好的器件。
- (2) 在器件的设计制造过程中，提高器件本身抗核损伤能力：
 - 抗中子辐射加固。对双极型晶体管可减小基区宽度，增加基区掺杂浓度，基区掺金以降低少子寿命。
 - 抗电离辐射加固。对MOS器件，选用<100>晶向的衬底，栅氧热氧化温度降低，减少栅氧厚度，减少离子注入引起的损伤。对双极器件，表面钝化层用Al₂O₃层和Si₃N₄，可明显提高它的抗电离辐射能力。
 - 抗瞬时辐射加固。减小PN结面积，降低反偏电压和少子寿命，用介质隔离代替电电路中的刚结隔离，有助于器件抗瞬时辐射的能力。对CMOS电路则应消除其产生闩锁的条件。
- (3) 整机或系统设计中，注意增加器件增益等参数的余量，采用补偿电路，全面屏蔽和良好的接地。

抗核加固——六种工艺比较

表 15-7 六种工艺制造的大规模集成电路特性和辐射性能的比较

特性 \ 工艺	S-TTL	ECL	PL	n-MOS	CMOS/ST	CMOS/SOS
单元密度	0	-	++	++	0	+
开关速度	+	++	0	0	-	++
静态功耗	-	--	+	-	++	++
动态功耗	+	+	++	+	0	++
速度功耗乘积	0	0	++	+	0	++
输出驱动能力	+	+	0	0	-	--
抗干扰能力	+	0	--	0	++	++
温度范围	+	+	+	-	0	-
抗辐射能力	0	++	-	+	+	++
抗稳态电离辐射能力	+	++	+	--	-	--
抗瞬时辐射能力	0	0	+	0	+	++

注:最好, ++, 好, +, 中等, 0, 差, -, 最差, --。

3.10 软误差

- 什么是软误差？
 - 当射线照射到半导体存储器上时，引起存储数据位的丢失或变化，在下次写入时存储器又能正常工作，它完全是随机地发生，所以把这种数据位丢失叫软误差。
- 引起软误差的原因是 α 射线的电离效应。能量为5MeV的 α 射线，穿入硅衬底的深度约25 μm ，沿其运动路径随着能量损失约产生 2.5×10^6 个电子-空穴对。

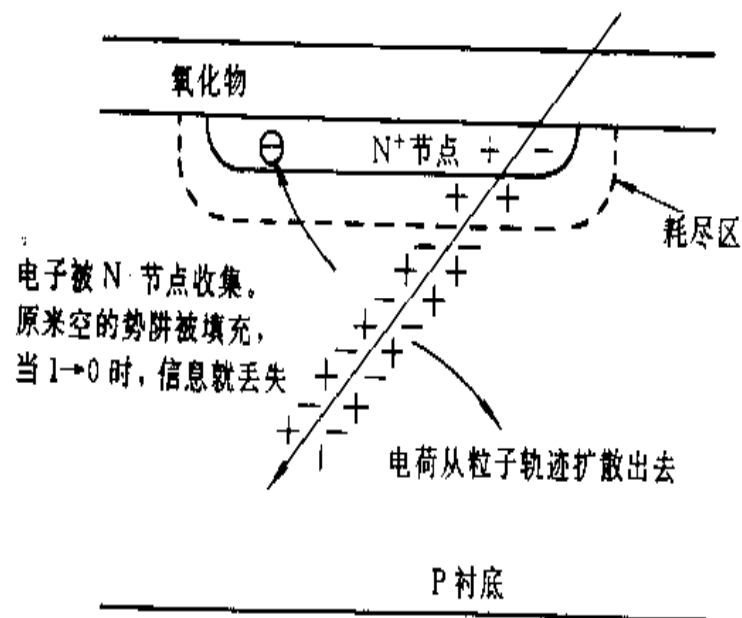
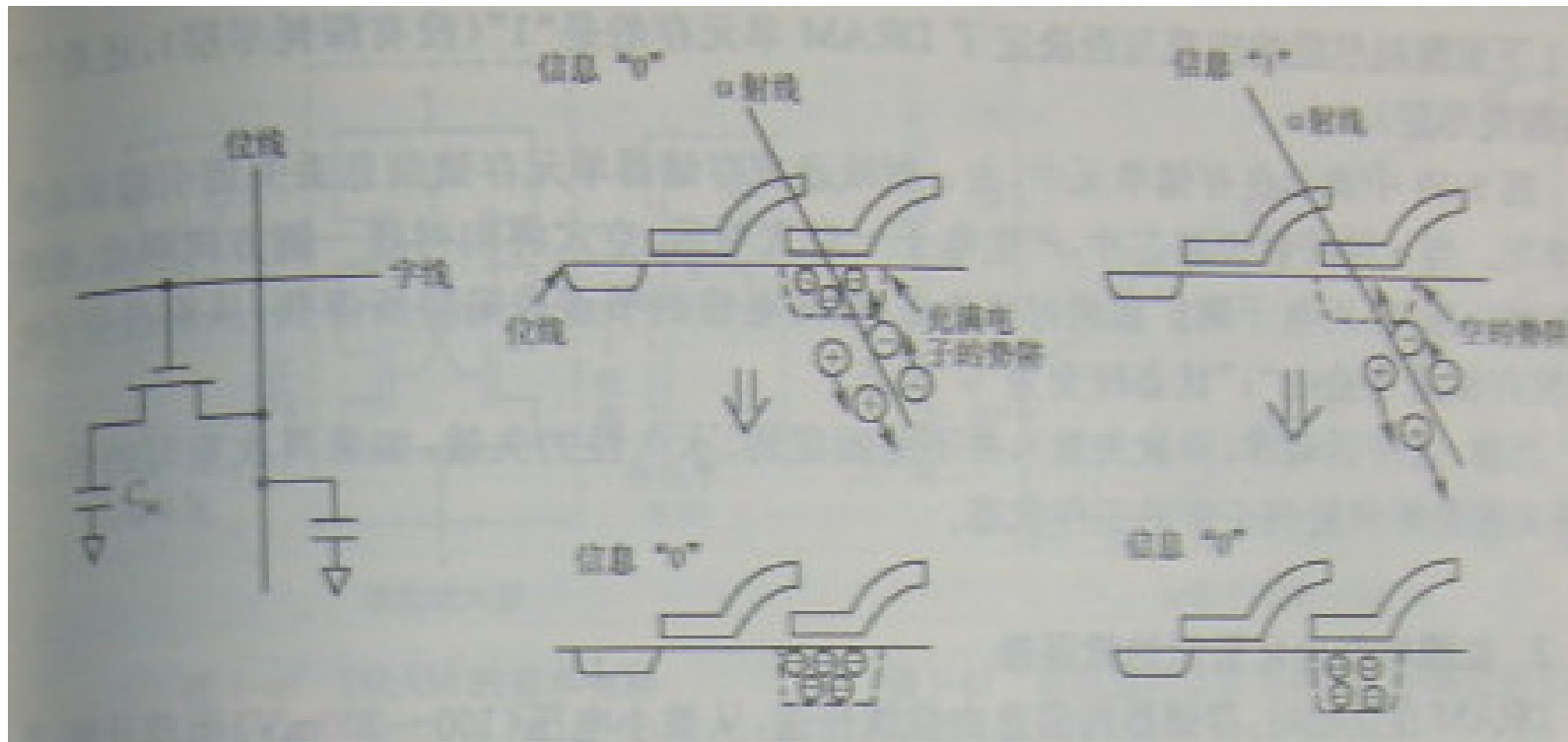
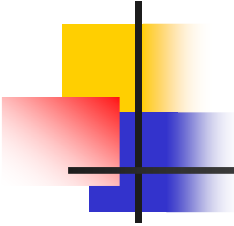


图 3.22 在N⁺电路节点 α 粒子软误差的产生

出错模式

1. 存贮单元模式（有电子为0 无电子为1）
2. 位线模式





临界电荷

引起电路产生误差所需的最小电荷量定义为临界电荷 Q_{crit}

$$Q_{crit}=Q_c-Q_{min}$$

Q_c 是正常电荷， Q_{min} 是能正确读出的最小电荷。

- 存储器的软误差取决与 Q_{crit} 和该单元的收集效率。
- 随着集成度上升，对软误差更敏感。



改进措施

- 减少粒子来源：外界；本身封装材料
- 阻挡层：
- 设计容限：临界电荷大
- 纠错设计：有问题发现。
- 时序控制，减少位线浮动时间。



3.11 水汽的危害

- 来源与作用
 - 内引线腐蚀
 - 外引线腐蚀
 - 电特性退化

- 改进措施



水汽的来源和影响

来源:

- 残留
- 表面吸附
- 间隙渗入
- 外界扩散

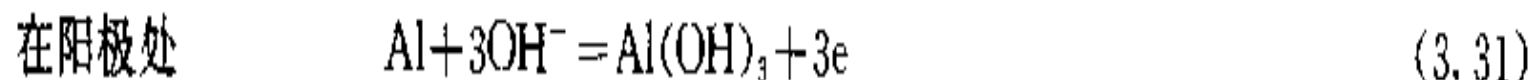
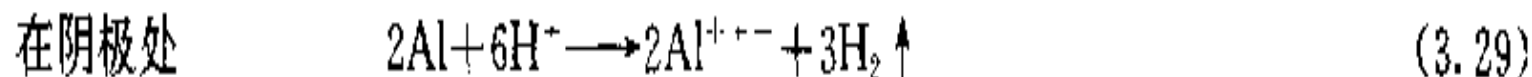
影响:

- 带杂质进来
- 形成电解液
- 引起体积膨胀等

内部腐蚀 外部 腐蚀 特性退化

铝腐蚀——化学 电化学 电池

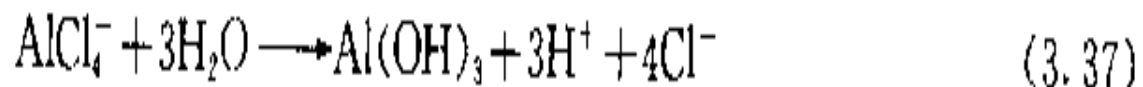
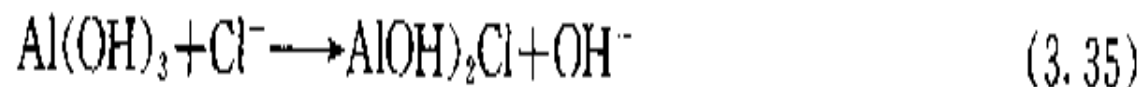
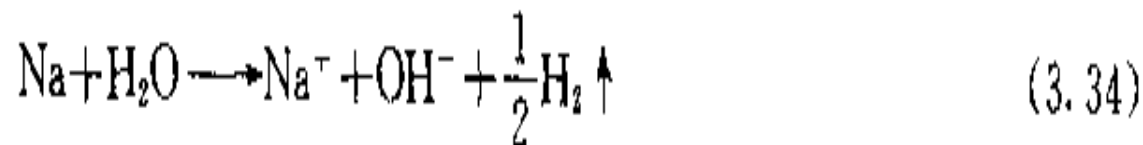
铝腐蚀的模式视铝附近有无电场或其他金属而可分为三种：化学的、电化学的和电腐蚀的（与其他金属构成电池）。铝互连线的电位各处可不等，从而构成单一阳电池而发生电化学腐蚀，条件是要有水的存在作为电解液，电位高处为阳极，电位低处为阴极，铝是两性金属，不论是处于何种极性均可产生腐蚀，如



通常所说的器件内长白毛即生成了 $\text{Al}(\text{OH})_3$

铝腐蚀——化学 电化学 电池

当水中含有 P^{3-} 、 Cl^- 、 F^- 、 Na^+ 等离子时，会加速铝的腐蚀，如



Cl^- 与氢氧化铝反应生成的 $\text{Al}(\text{OH})_2\text{Cl}$ 是可溶性盐，溶解后露出基底铝，引起进一步反应。

Na^+ 等造成 OH^- 离子增加，促进了氢氧化铝的生成，故腐蚀加速。



外引线的锈蚀—本身 水汽 电位差

- 管腿材料多用铁—镍—铬的合金，除了其在机械加工中引入应力而产生应力腐蚀外，还存在电化学腐蚀。
- 本身表面存在裂缝，或表面镀层不完整、不致密，存在针孔，因毛细作用使孔内凝聚水汽，出现电化学腐蚀。
- 当存在Cl⁻杂质离子时，腐蚀速度加快。
- 当外引线周围有水汽凝结，引线间有电位差(如分立器件插在印制板上)时，引线间的漏电流不断通过，离子化倾向大(标准电极电位为负)的材料如铁就产生电化学腐蚀而断裂。



水汽使电特性退化

- 水汽通过压焊点或钝化层上微裂纹进入芯片表面，其溶入的一些杂质和污染物，引起器件：
 - 漏电
 - 表面反型
 - 耐压降低
 - 增益下降
 - 阈值电压漂移
 - 性能退化



改进措施

1. 改用低吸湿性树脂，提高树脂纯度，减少其中所含**Na+**、**C1-**等有害杂质。
2. 降低树脂的热膨胀系数，添加耦合剂，改变引线框架形状，以改善材料间粘强度，防止引线框与树脂间界面进入水份。
3. 芯片表面加钝化层保护。如氮化硅、二氧化硅、磷硅玻璃、有机涂料或聚酷亚胺等，其中以等离子体淀积的氮化硅膜效果明显，不过键合处仍不能保护。
4. 开发耐腐蚀布线材料及工艺。如利用等离子体放电的铝表面氧化，利用**As**、**P**等的离子注入提高铝布线膜质。



本次课完

- 回顾讲过的内容。
- 参考补充：
 - 电子设备中电路板布局、布线和安装的抗ESD设计规则
 - 元器件应用中的静电防护