

# 专用集成电路设计

ASIC DESIGN

西安电子科技大学 XIDIDIAN UNIVERSITY  
V2.0 © 2007 韩孝勇 Han XiaoYong  
xyhan5151@yahoo.com.cn www.dianzichan.com

集成电路制造封装及其他工艺简介

# 集成电路设计制造与封装与测试全过程

## ■ 设计

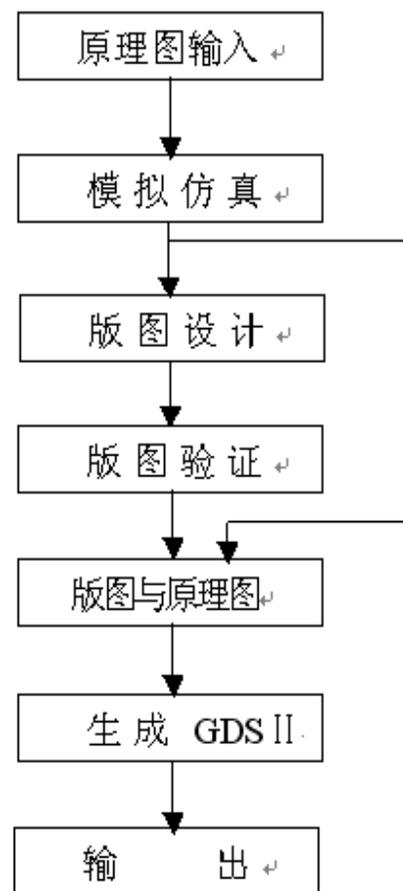
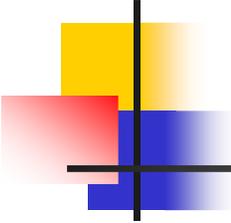


图 全定制 IC 设计



# 集成电路设计制造与封装与测试全过程

- 制造
  - 硅工艺概述
  - 光刻
  - CMOS工艺流程

# 硅工艺概述

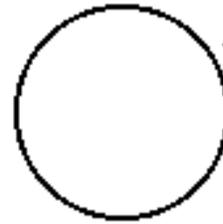
硅

棒 → 晶圆

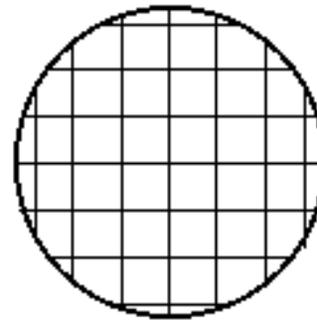
1. Grow in ingot of monocrystalline Si



2. Slice into wafers



3. Implement repeated copies of the chip

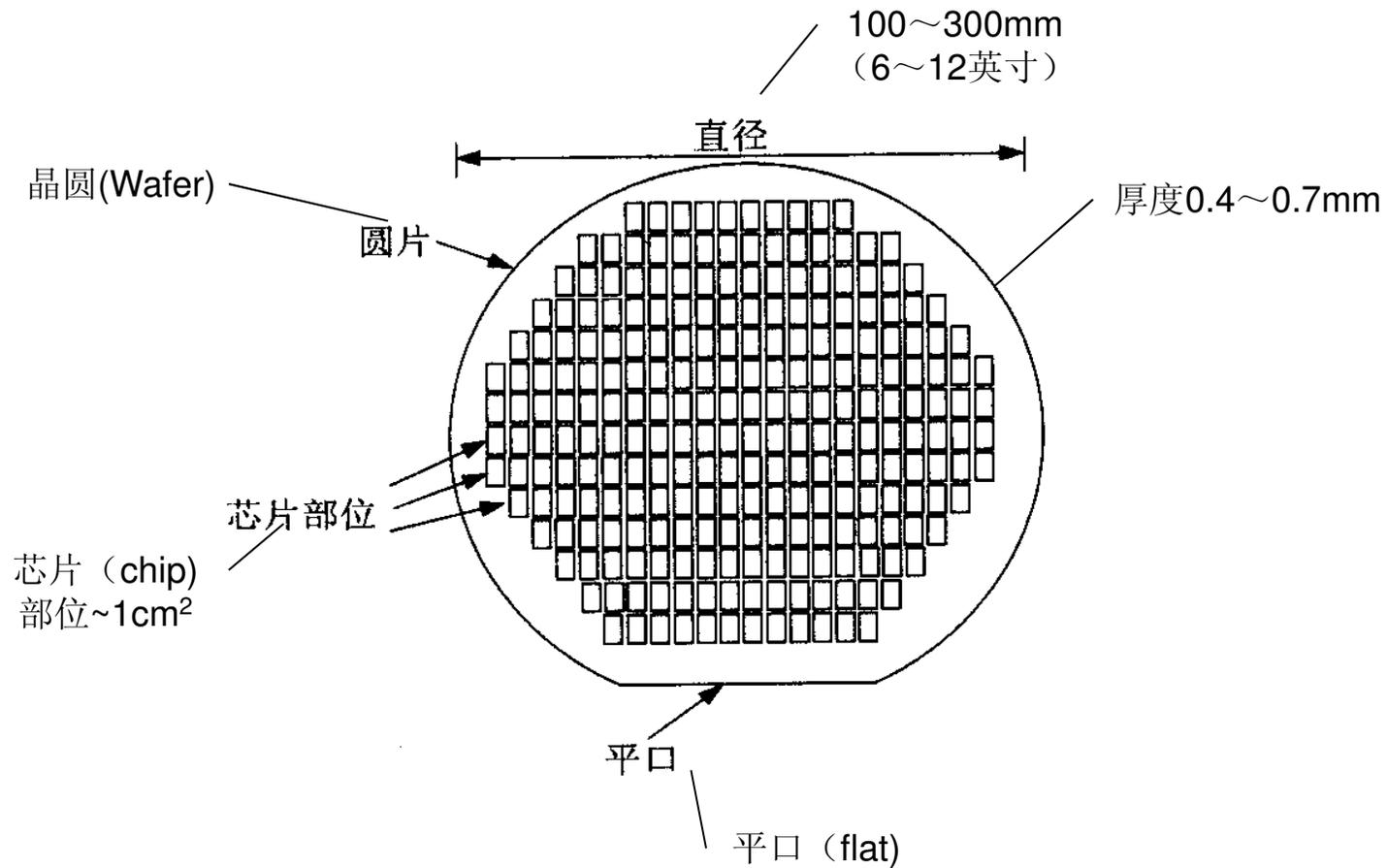


4. Test, cut into die, package

# 硅工艺概述

## 芯片

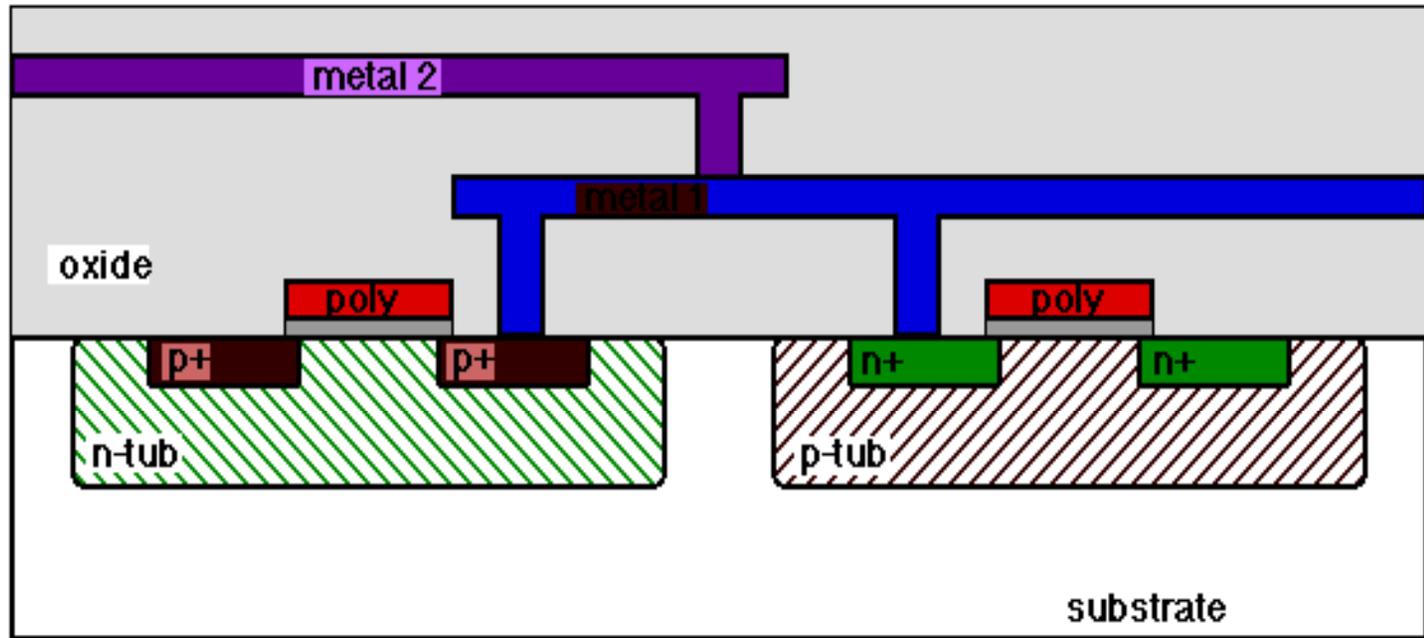
晶圆 →



# 硅工艺概述

## 本任务

工艺的基



- 集成电路工艺的基本任务
  - 材料生长与淀积：形成不同材料构成的工艺层
  - 光刻：将各种工艺层刻蚀成不同的形状，形成互连

# 光刻

## 概述

- 光刻用于在每一材料层上形成具有微细尺寸的图案

1. Cover with *Photoresist (PR)*

2. Place Mask

3. Expose to UV light

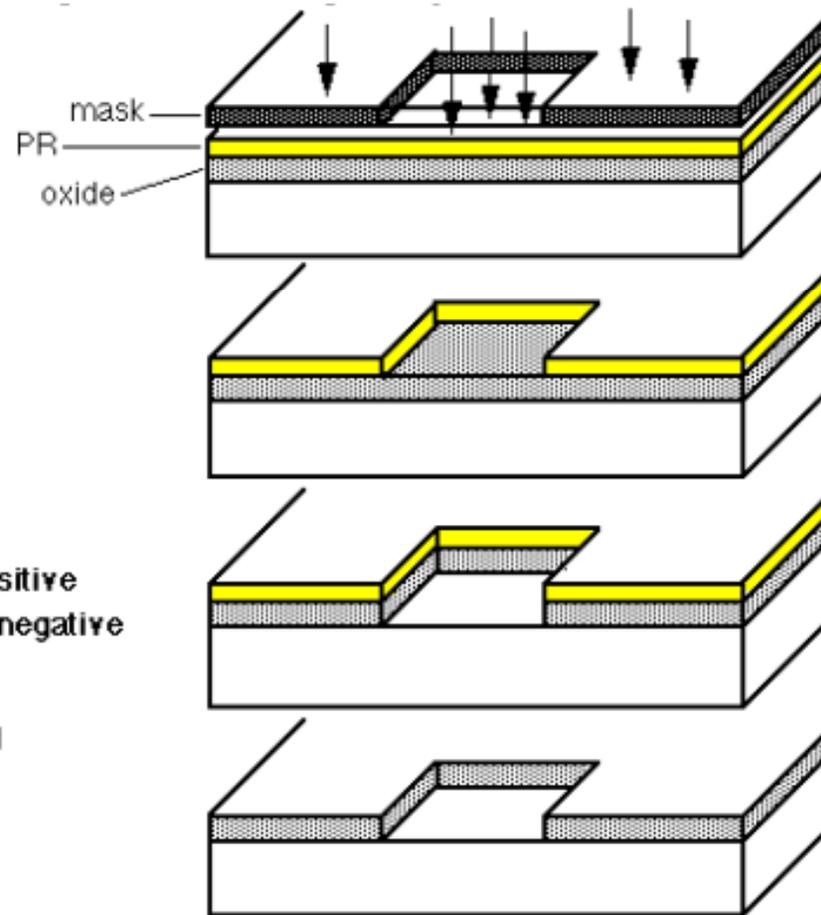
4. Remove mask

5. Develop PR

6. Remove: Exposed PR => positive  
Unexposed PR => negative

7. Cut away unprotected material

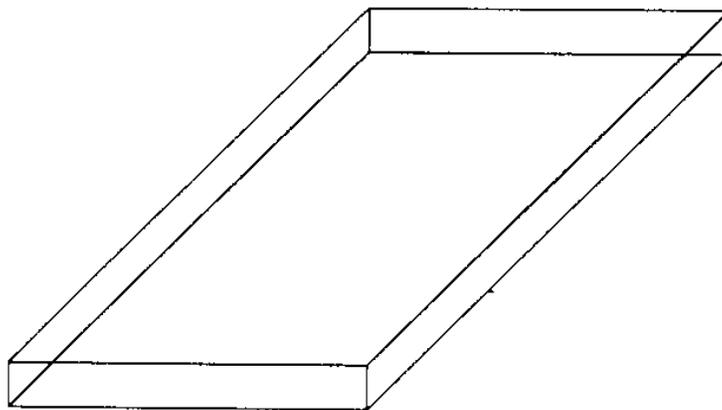
8. Remove remaining PR



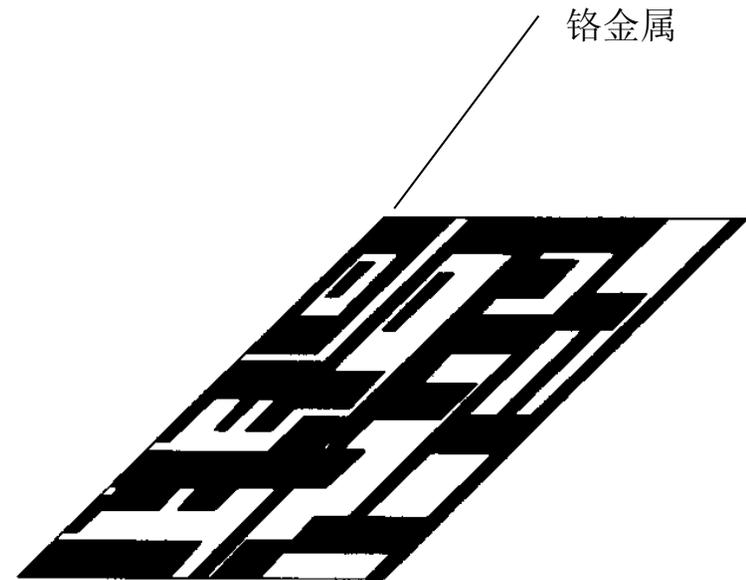
# 光刻

## 掩模

- 掩模：高质量的玻璃，上有金属来定义材料层所希望的图案。光照亮掩模时，就将图案的阴影投射到硅片表面。



玻璃板

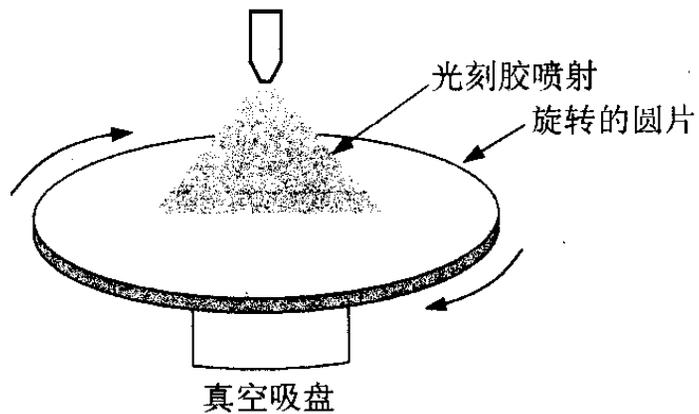


在下侧的图案

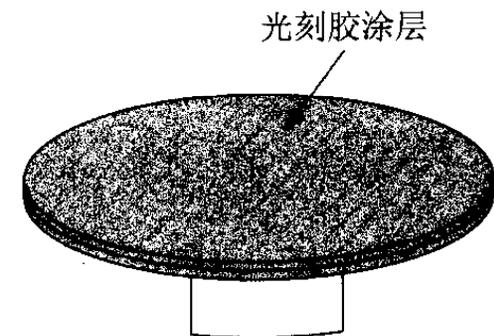
# 光刻

## 涂胶

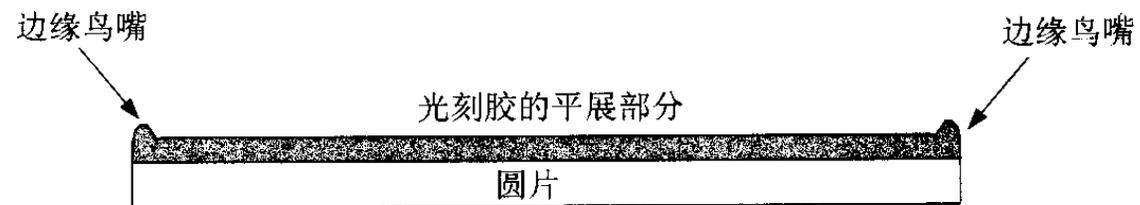
- 涂胶：在晶圆上涂一层光敏液态塑性材料（称为“光刻胶”）。



(a) 涂光刻胶



(b) 已涂光刻胶的圆片

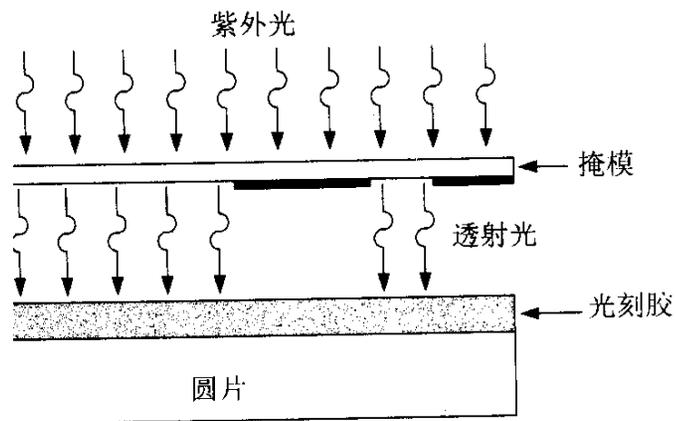
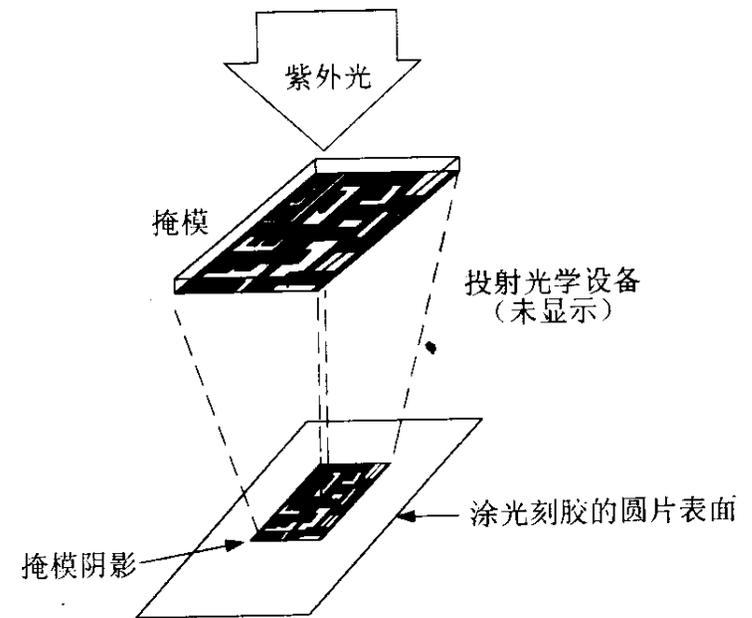


(c) 鸟嘴效应

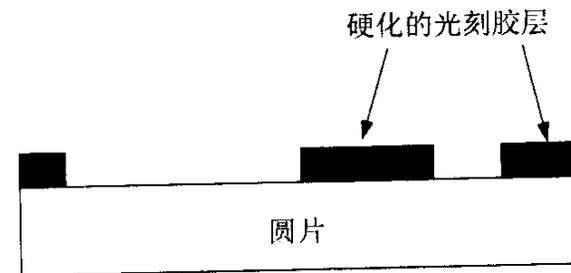
# 光刻

## 曝光与显影

- 曝光与显影：使光刻胶中被光照的部分被清洗掉，未被光照的部分保留（正胶，负胶时则是被光照部分保留）。

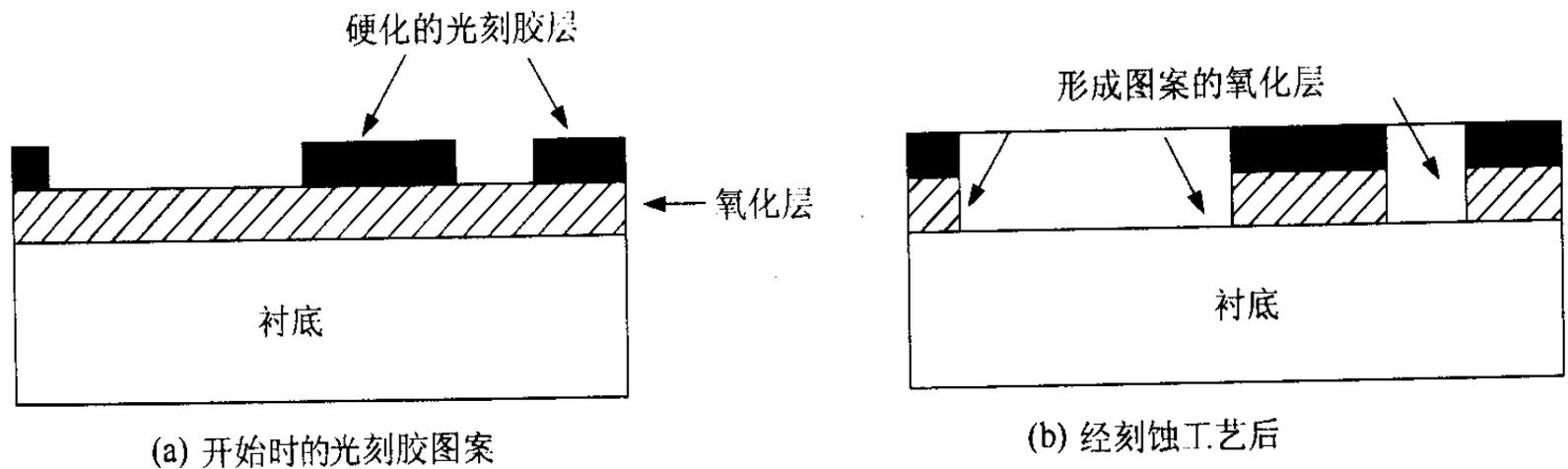


(a) 曝光图案



(b) 显影与冲洗后

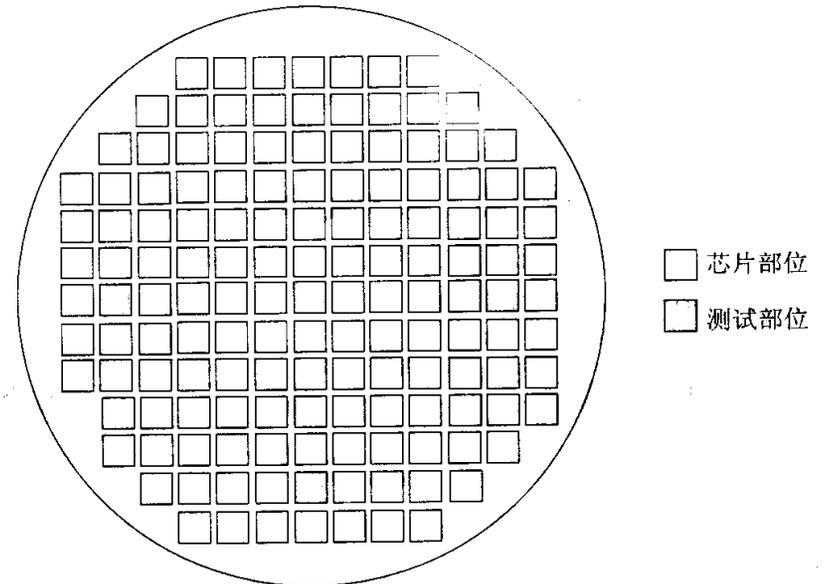
- 刻蚀：利用惰性气体（如Ar）形成的等离子体来刻蚀掉未被硬化光刻胶保护的材料层（氧化硅、金属、多晶硅）。



# 光刻

Step by Step

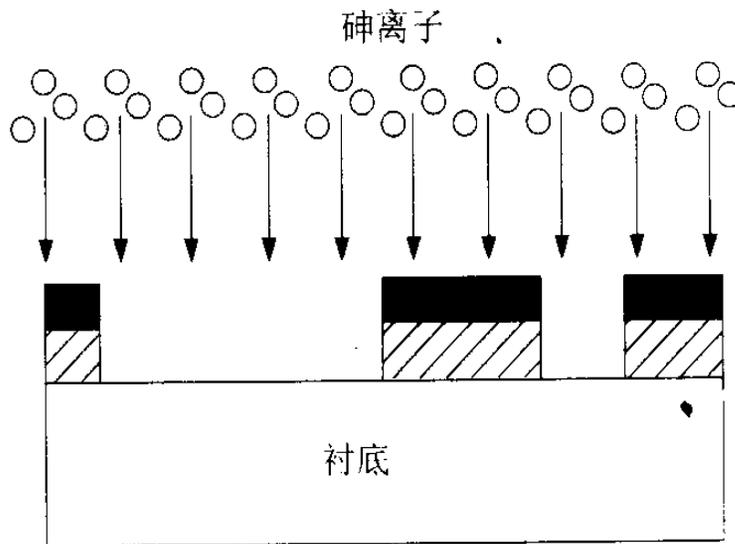
- 通过光刻机的自动步进，重复上述过程，就可以形成多个芯片的图形。
- 不同材料层有不同的掩模版，不同掩模版之间利用“光刻套准标记”来进行精确对准。



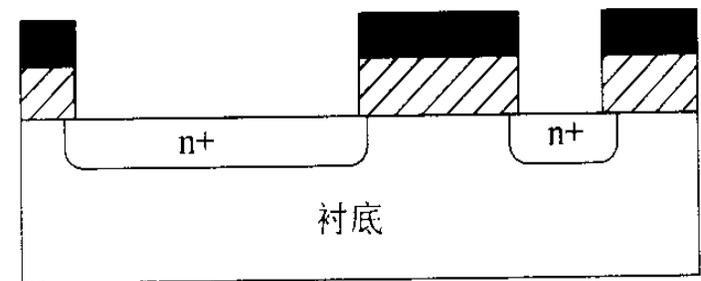
# 光刻

## 掺杂工艺1

- 先制备二氧化硅作为注入的掩模，利用光刻在其上开窗口，再进行离子注入。



(a) 注入的离子束



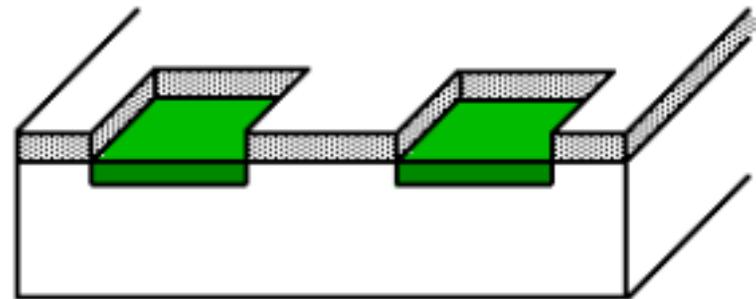
(b) 掺杂的n-型区

# 光刻

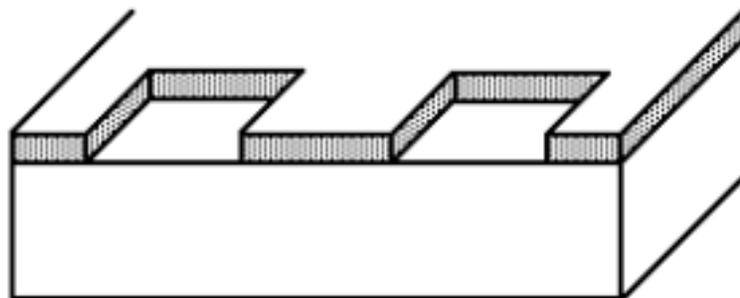
## 掺杂工艺2



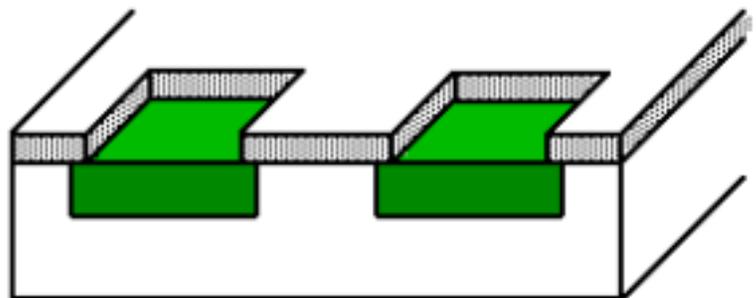
1. Cover wafer with masking material



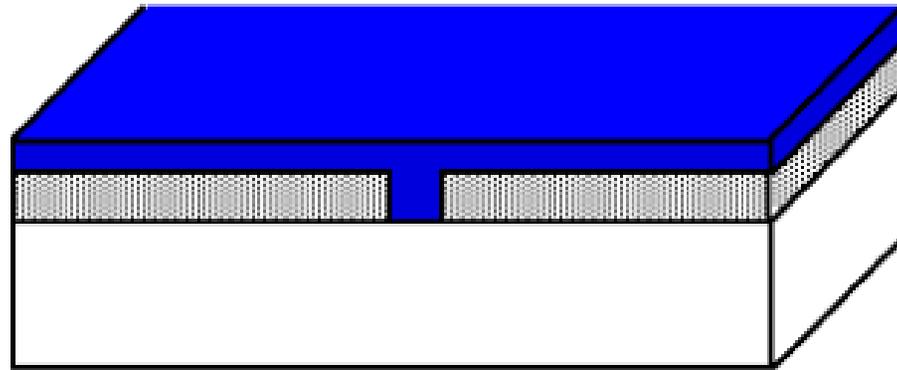
3. Insert dopant material



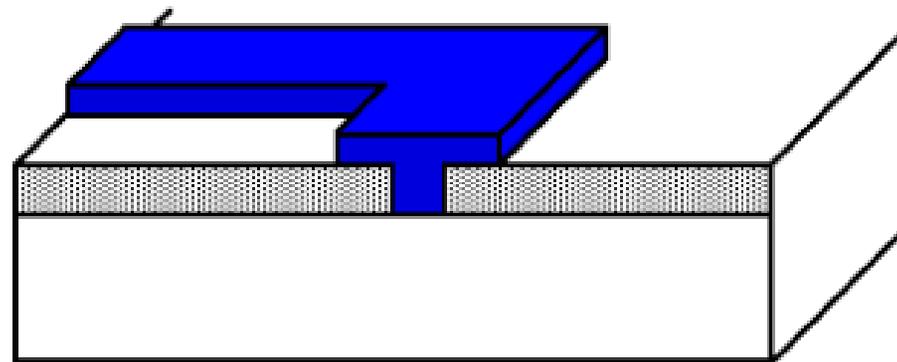
2. Cut away mask material where dopant is to be placed



4. Drive in



1. Deposit material over the entire surface

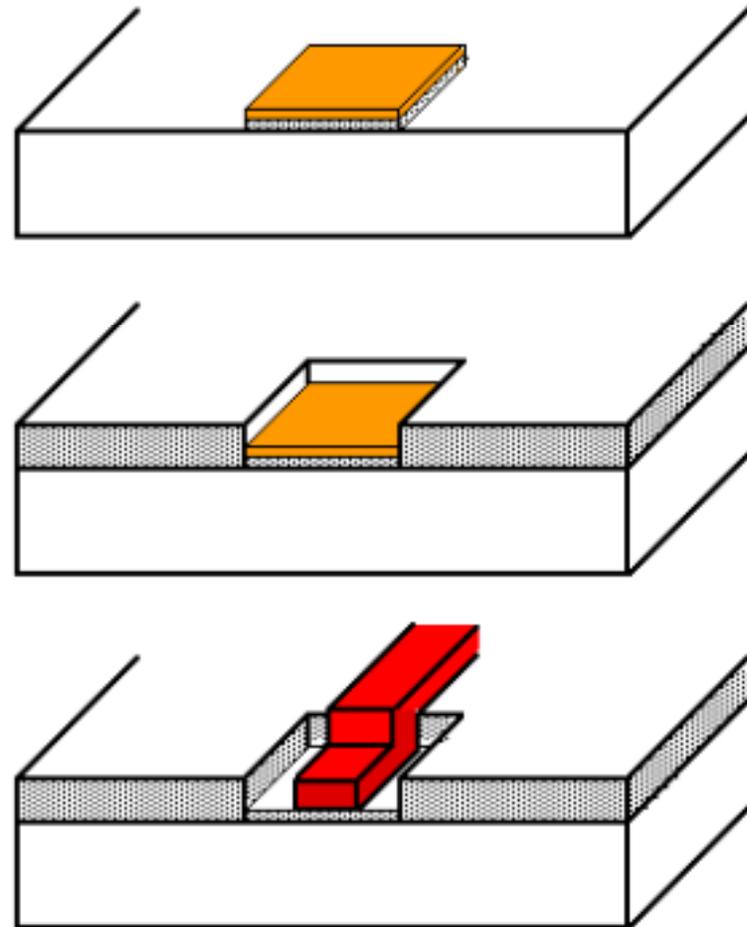


2. Cut away unneeded material

# 光刻

## 多晶与栅氧工艺

1. Deposit thin oxide
2. Deposit nitride (Si<sub>3</sub>N<sub>4</sub>)
3. Cut away nitride from all except the active regions
4. Deposit thick oxide
5. Remove the nitride
6. Deposit poly
7. Remove unneeded poly

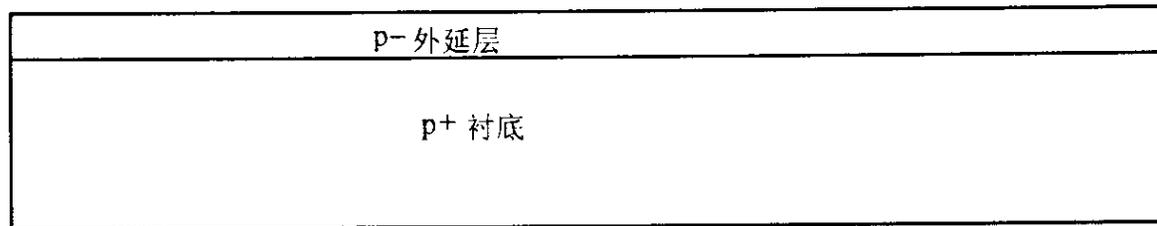


# CMOS工艺流程

基本

## 流程(1)

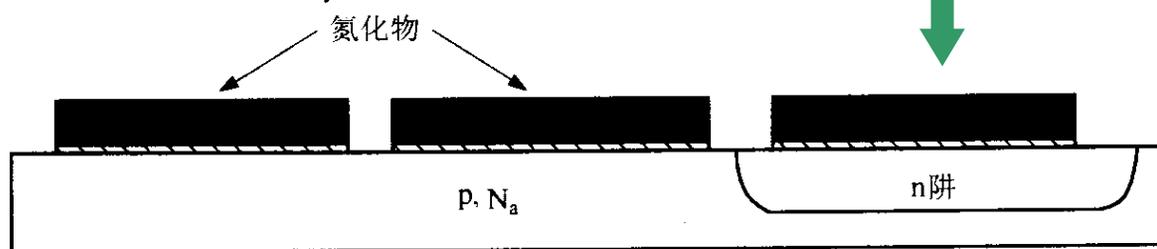
### n阱CMOS IC工艺



(a) 有外延层的初始圆片



(b) 在p-外延层中形成n-阱

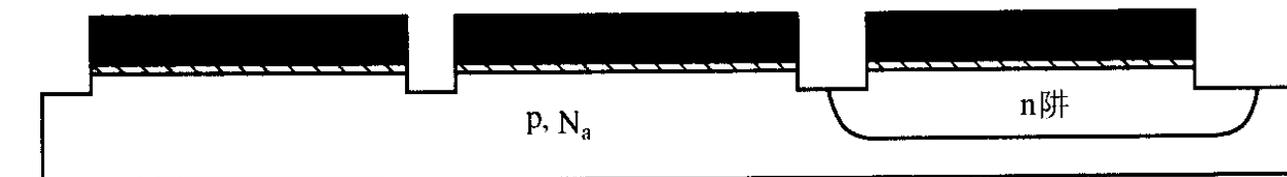


(c) 用氮化物/氧化物确定有源区

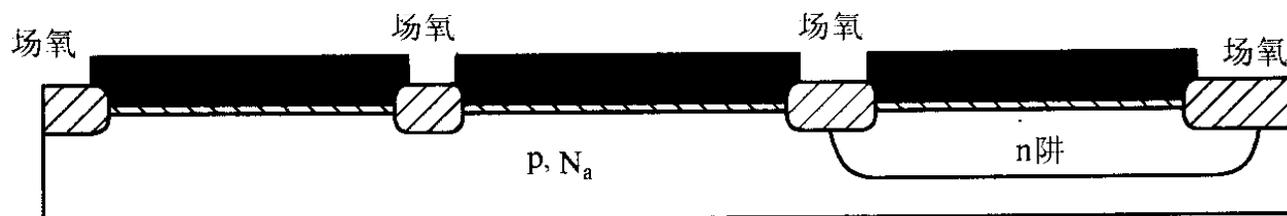
# CMOS工艺流程

基本

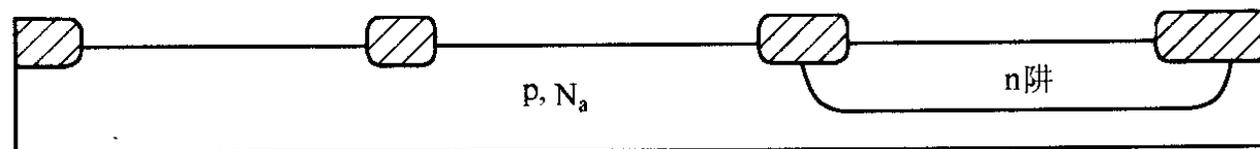
## 流程(2)



(d) 硅片刻蚀



(e) 场氧生长

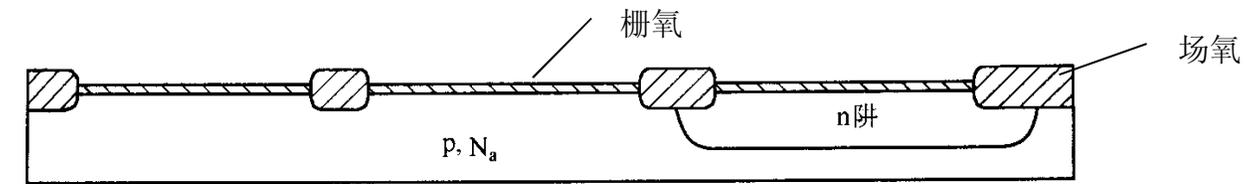


(f) 表面去除氮化物/氧化物

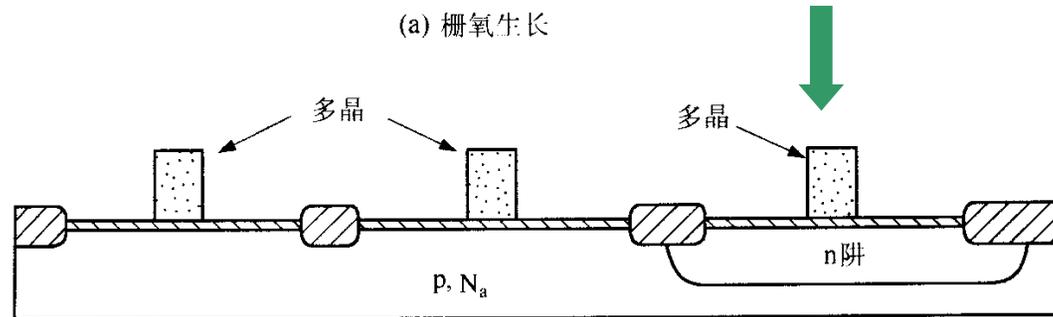
# CMOS工艺流程

基本

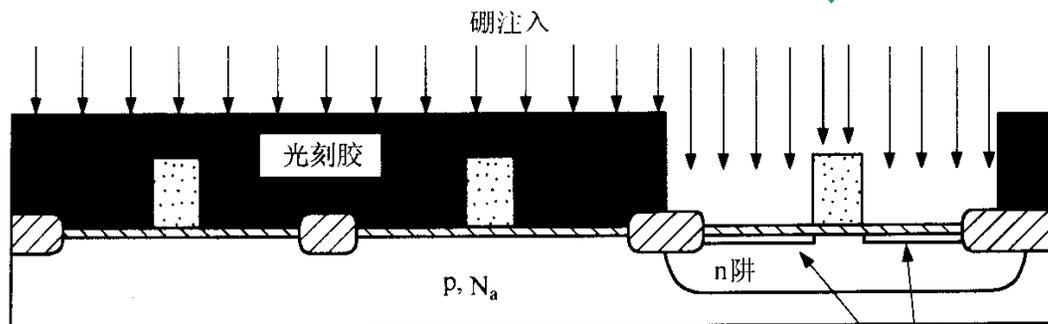
## 流程 (3)



(a) 栅氧生长



(b) 多晶栅的淀积和形成图案

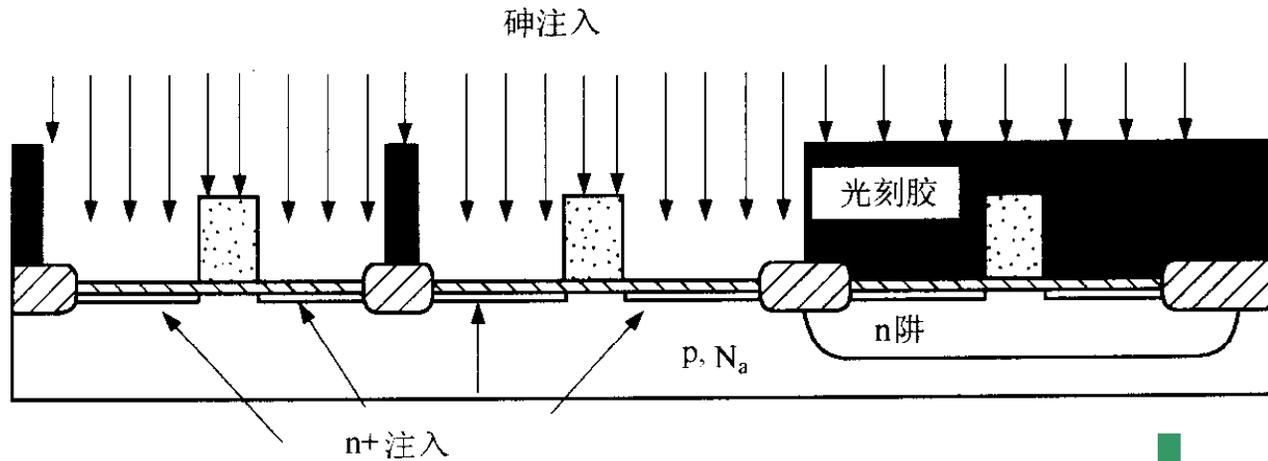


(c) pSelect掩模与注入

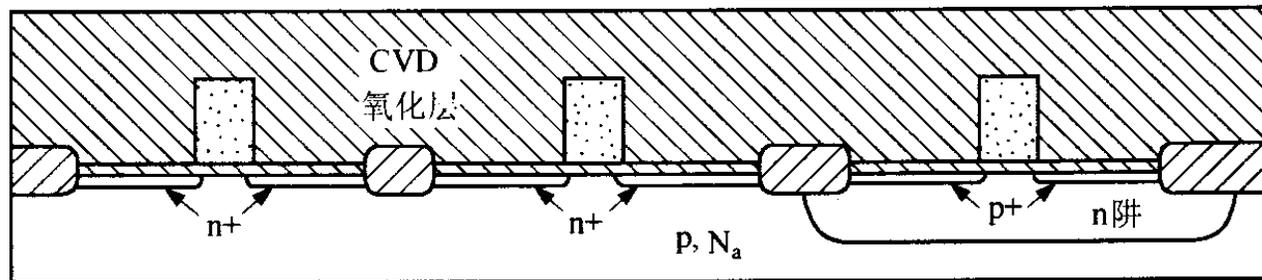
# CMOS工艺流程

## 流程(4)

基本



(d) nSelect 掩模与注入

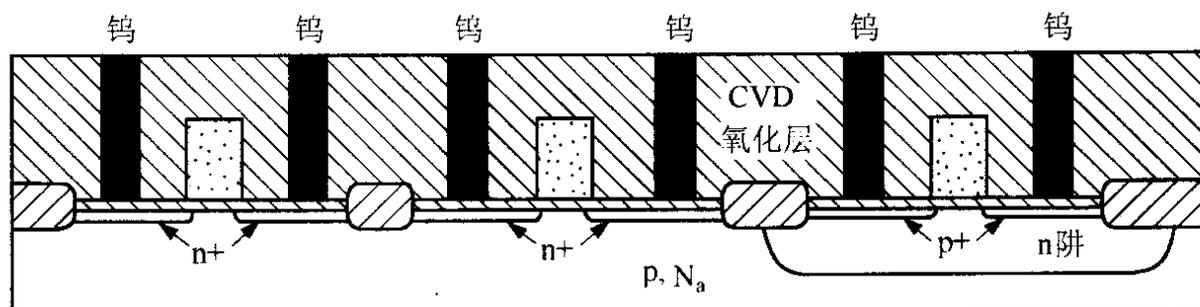


(a) 退火和CVD氧化后

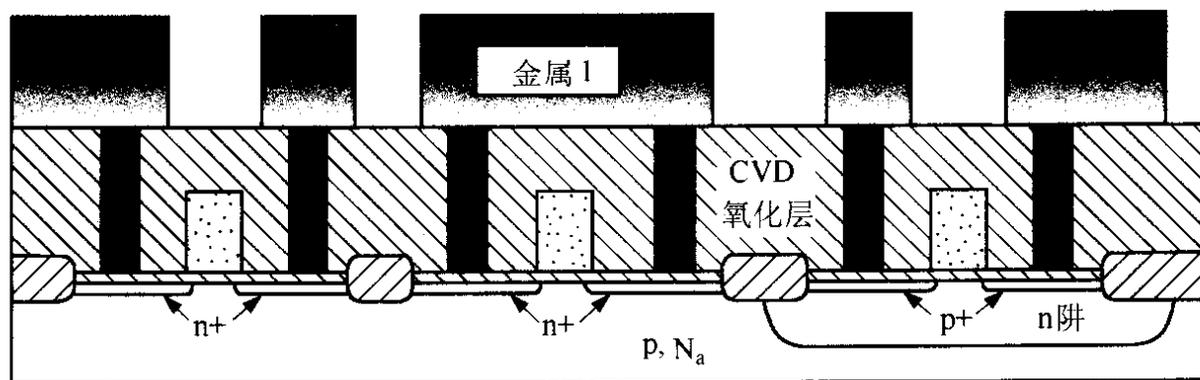
# CMOS工艺流程

## 流程(5)

基本



(b) CVD 氧化层中有源区接触及钨塞形成之后

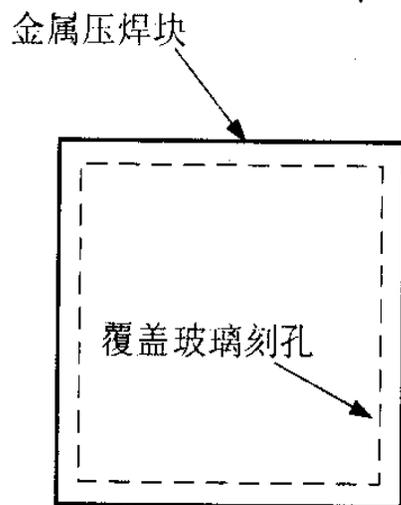


(c) 金属 I 涂层及图案形成

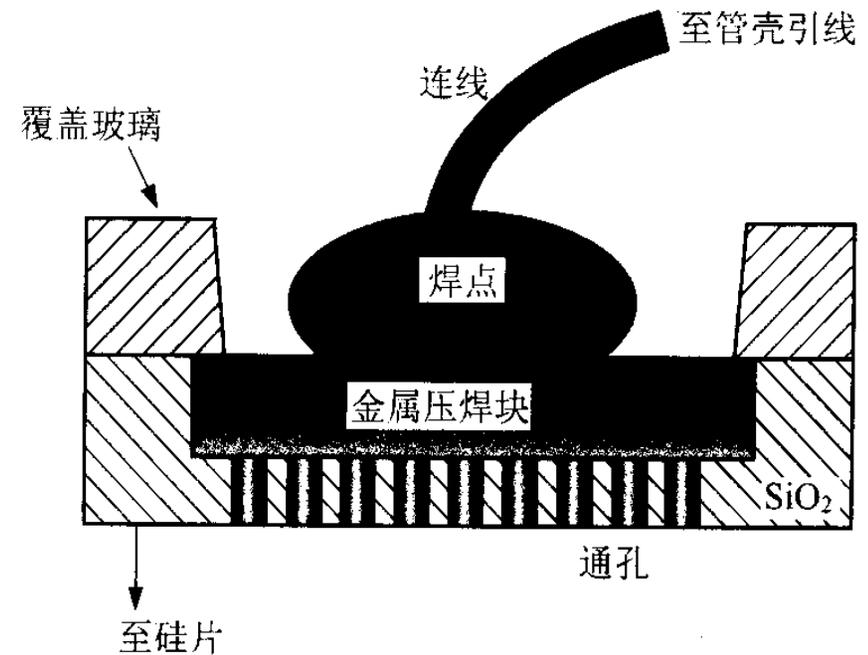
# CMOS工艺流程

基本

## 流程(6)

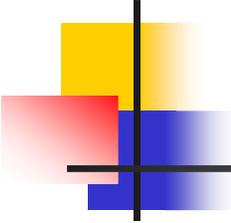


(a) 顶视图



(b) 侧视图

**压焊块 (Pad)**

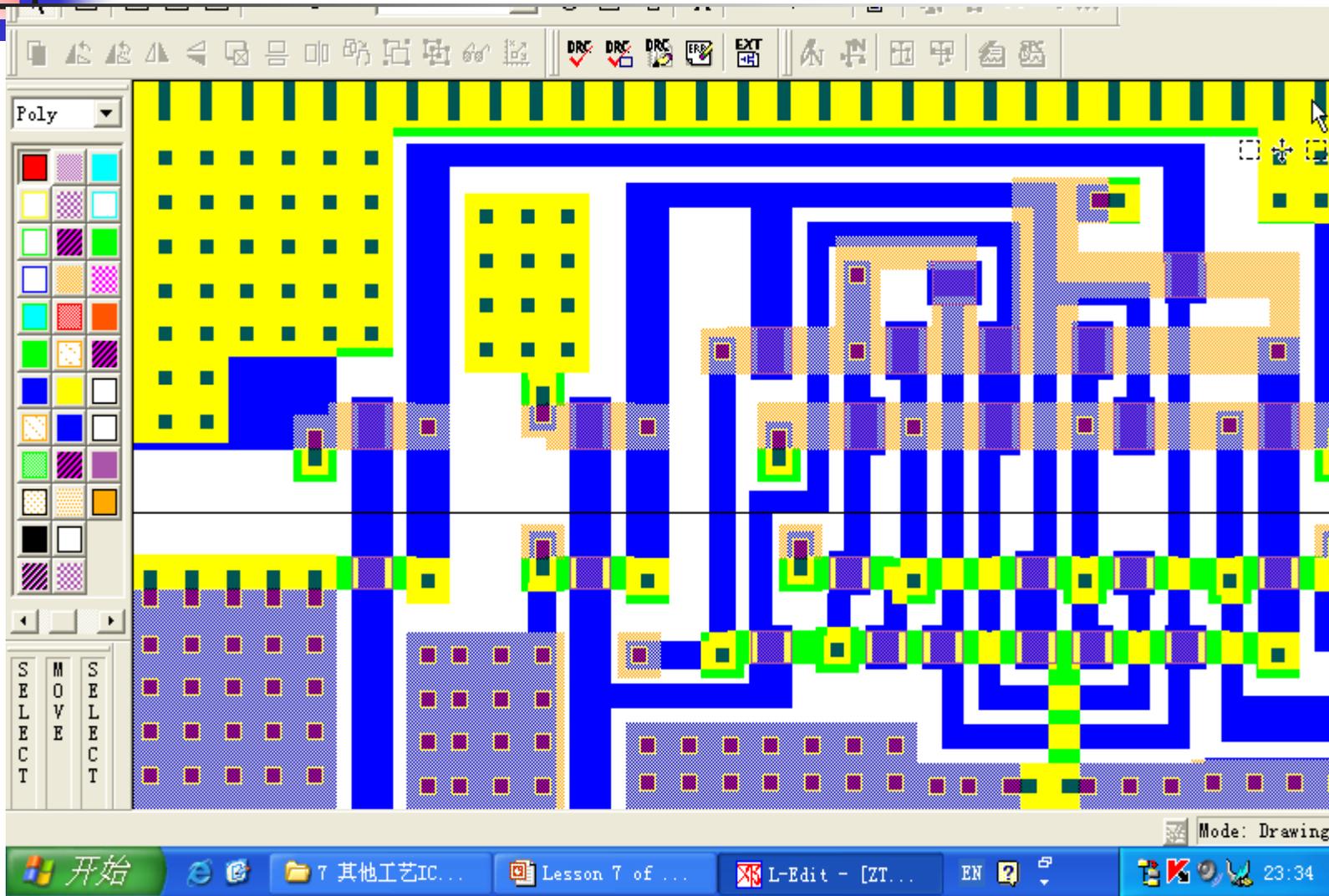


## 其他工艺IC情况介绍

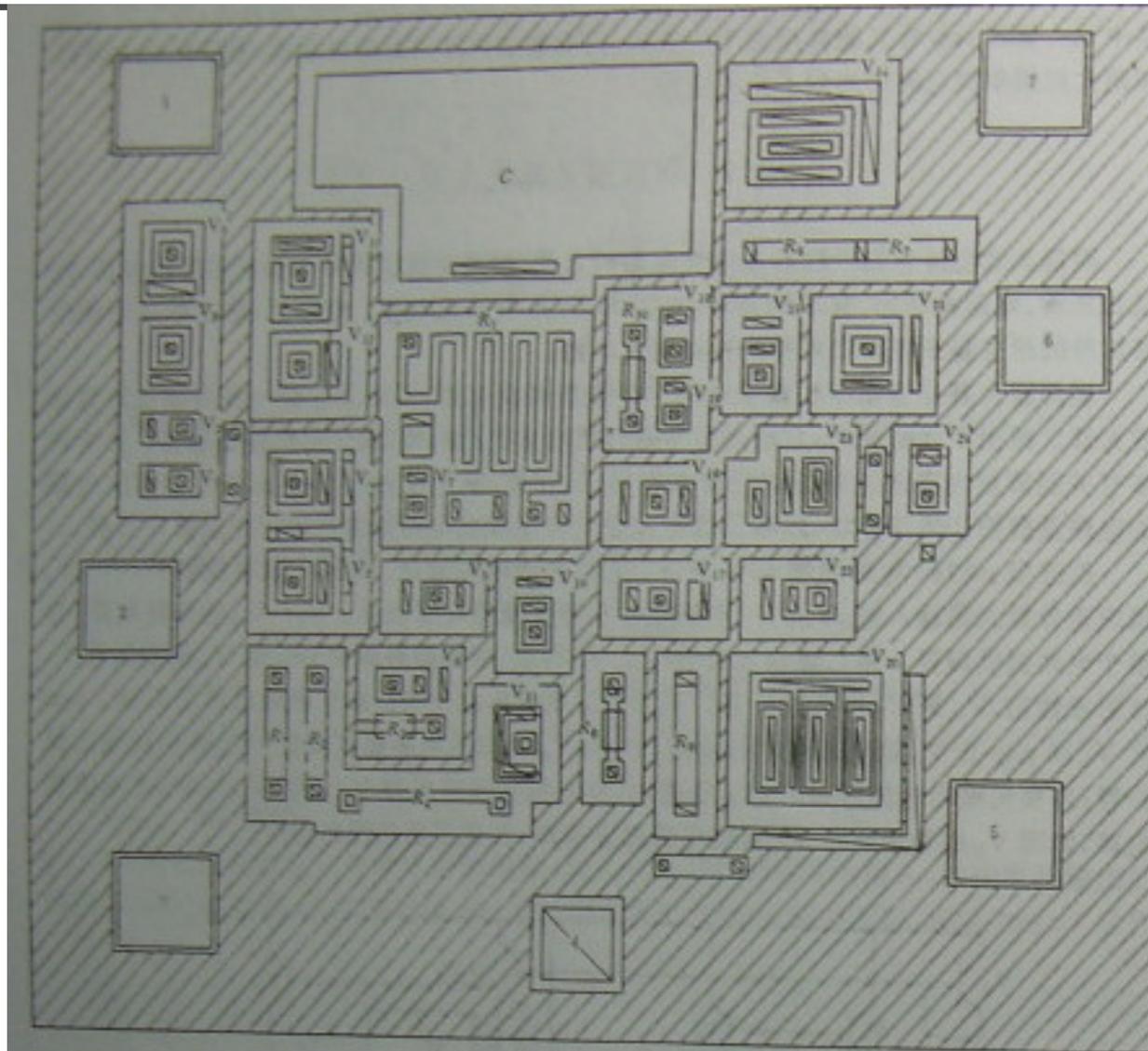
---

- 铝栅CMOS电路
- 双极型集成电路
- 混合集成电路
  
- (简介了解)

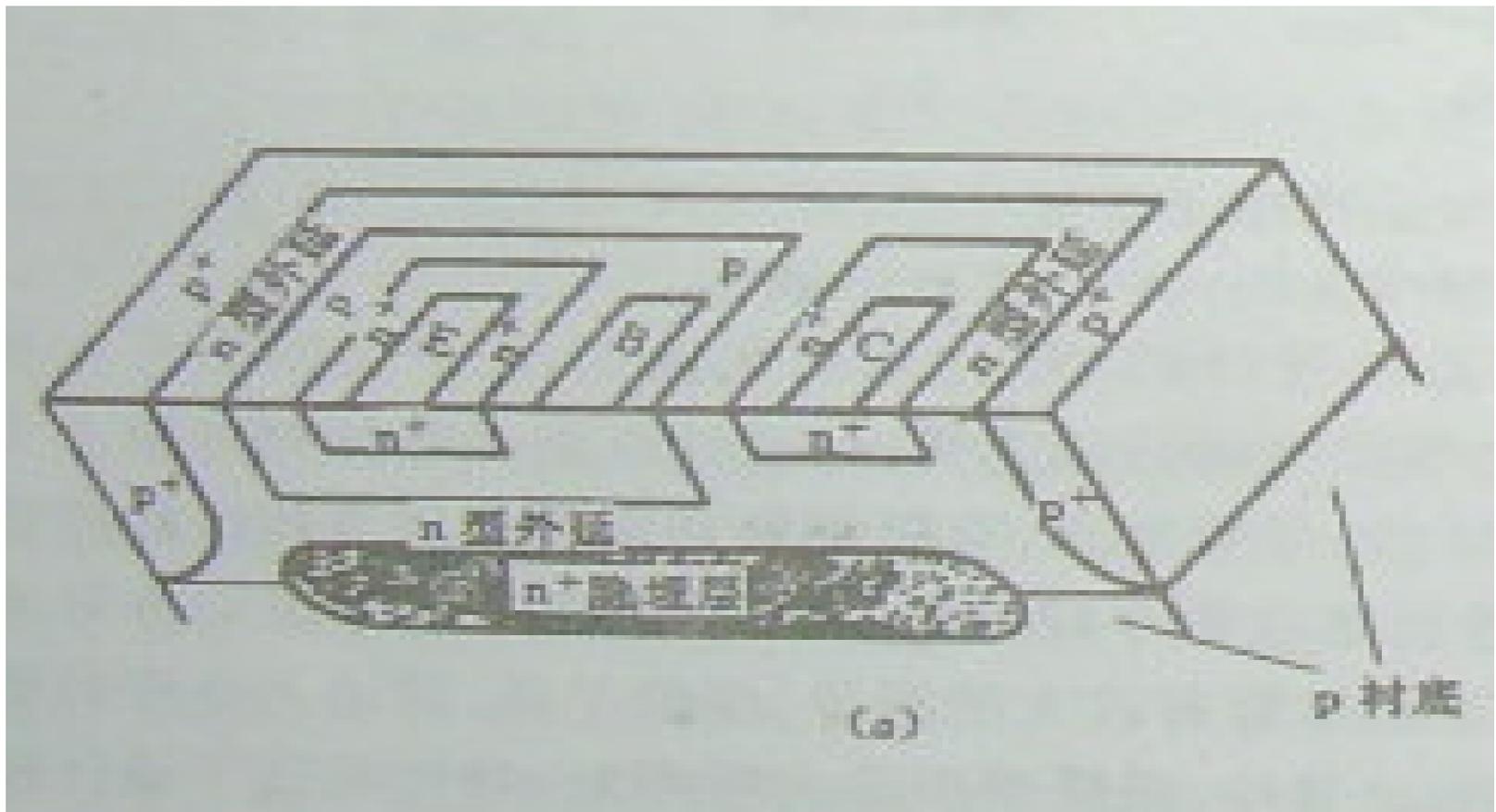
# 铝栅CMOS电路



# 双极型电路版图



# 双极型晶体管 NPN



# 双极晶体管的工作原理

## ■ 结构和符号

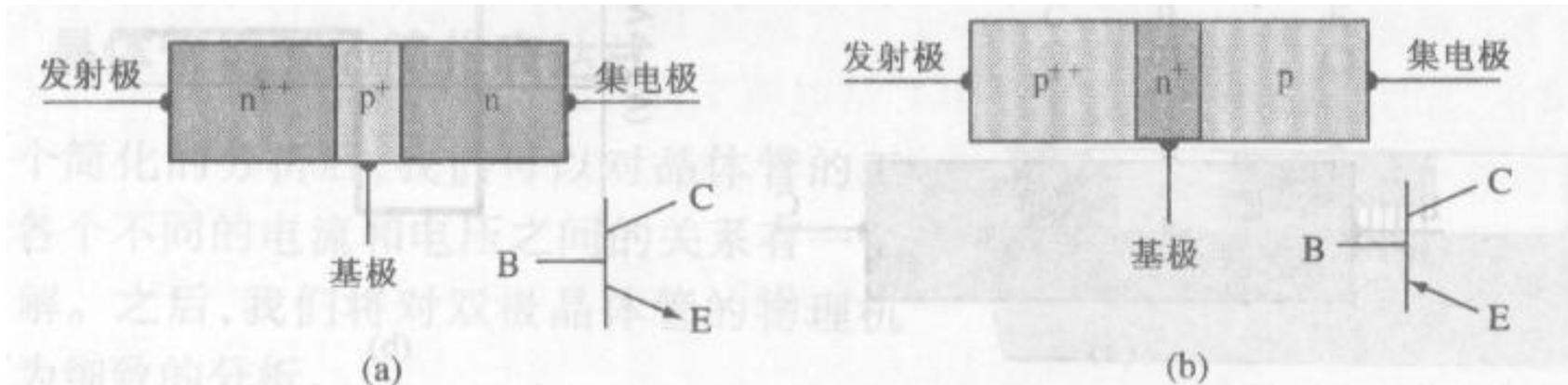


图 10.1 (a) npn 型和 (b) pnp 型双极晶体管的简化结构图及电路符号

# 双极晶体管的工作原理

## ■ 剖面图

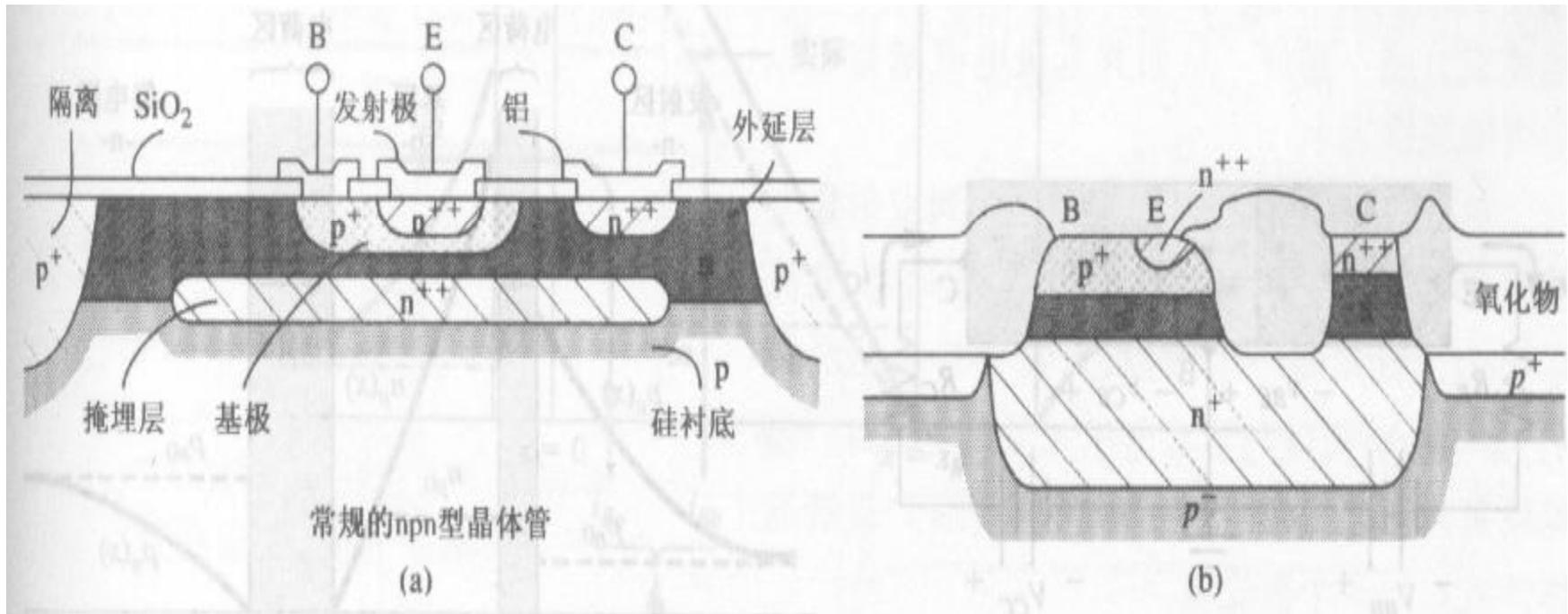


图 10.2 (a)集成电路中的常规 npn 型双极晶体管;(b)氧化物隔离的 npn 型双极晶体管横截面图

# 双极晶体管的工作原理

## ■ 杂质浓度

$10^{19} \text{ cm}^{-3}$ ,  $10^{17} \text{ cm}^{-3}$  和  $10^{15} \text{ cm}^{-3}$

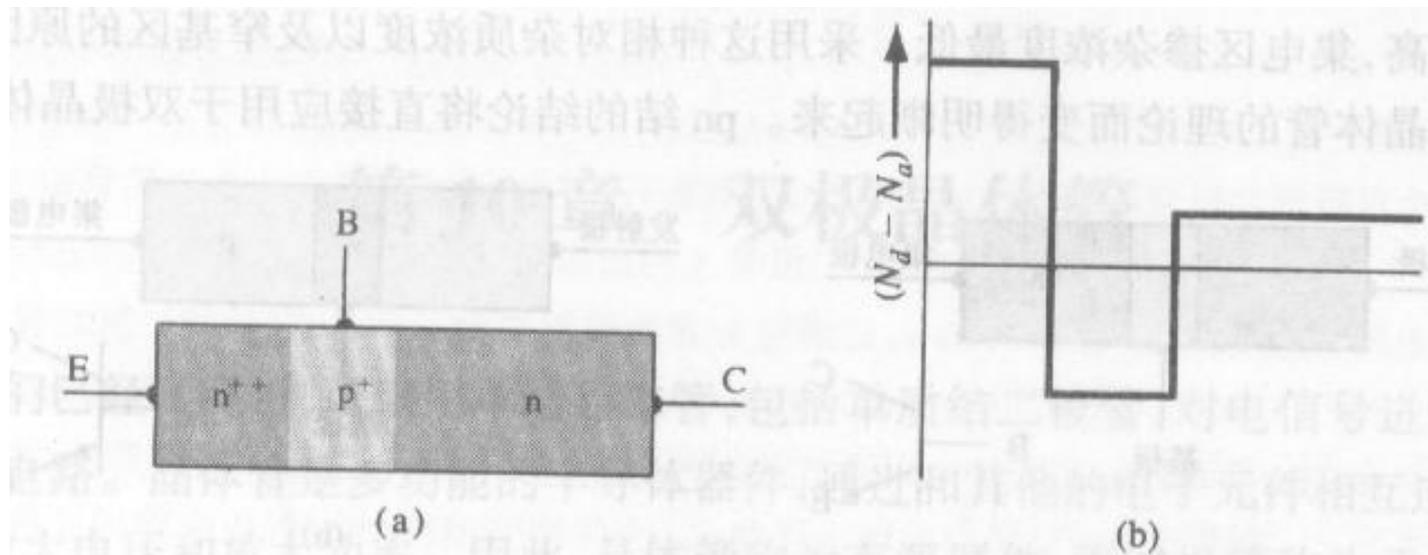
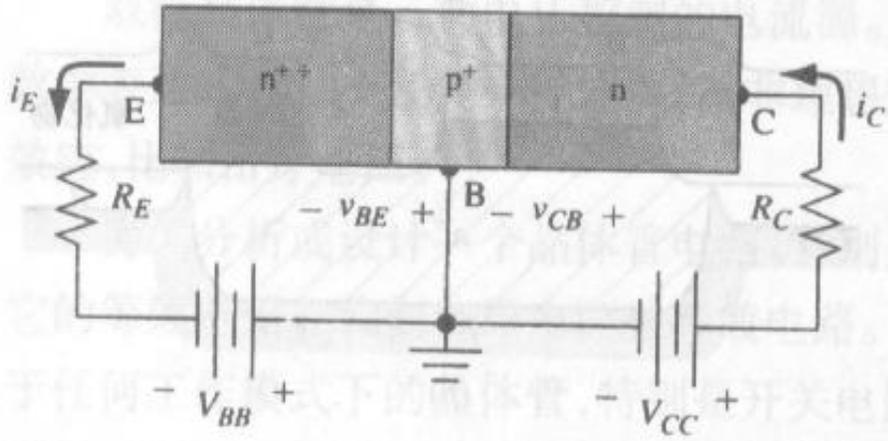
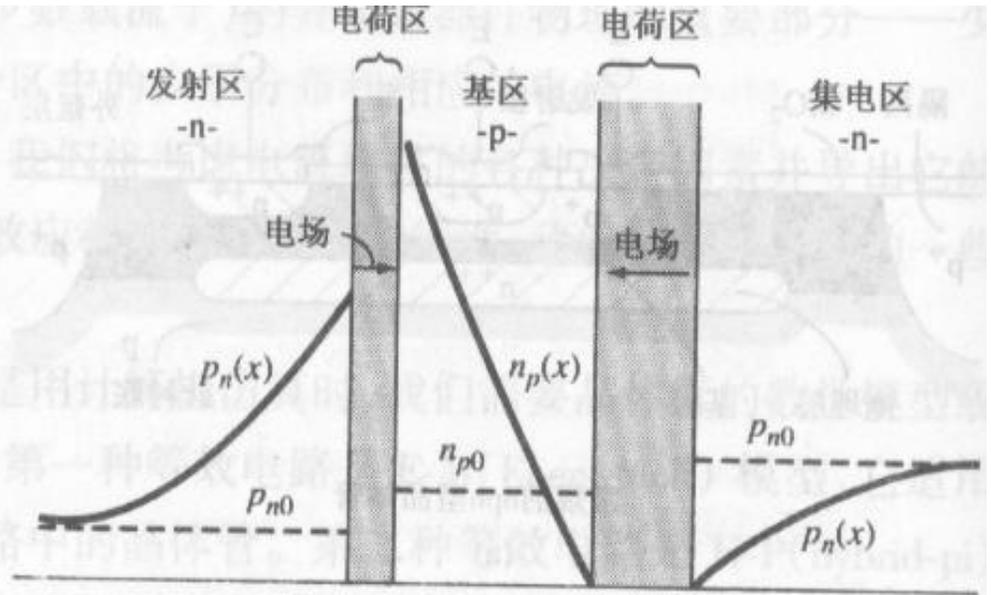


图 10.3 均匀掺杂的 npn 型双极晶体管的理想化掺杂浓度分布图

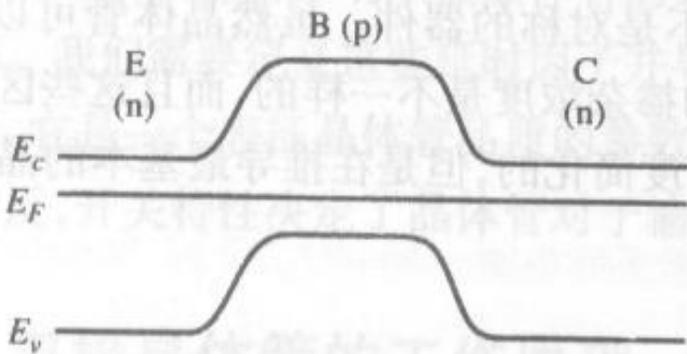
# •正向有源模式



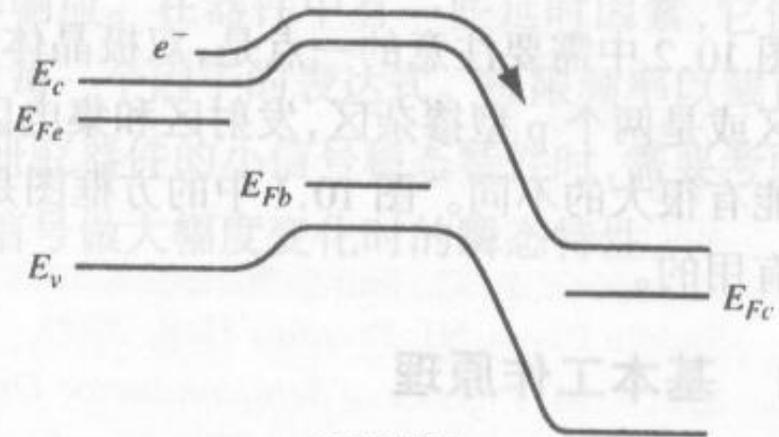
(a)



(b)



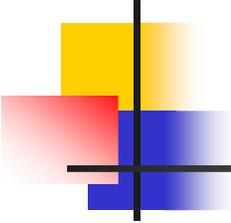
零偏



正向有源

(c)

图 10.4 (a) npn 型双极晶体管工作在正向有源区时的偏置情况; (b) 工作于正向有源区时, npn 型双极晶体管中少子的分布; (c) 在零偏和在正向有源区时, npn 型双极晶体管的能带图



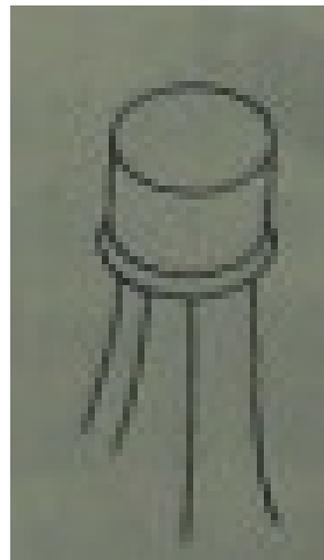
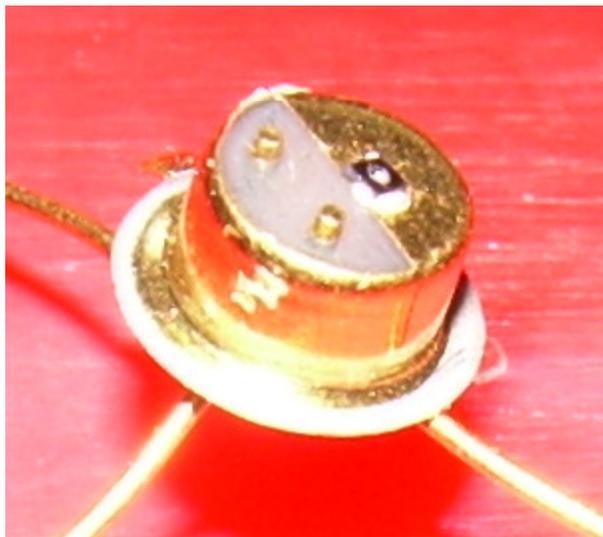
# 混合集成电路

---

- 厚膜混合电路
- 薄膜混合电路
  - 丝网印刷技术
  - 基板：陶瓷基板 塑胶基板
  - 导体浆料 电阻浆料 绝缘浆料
  - 涂上后再烘干，最后再封装。

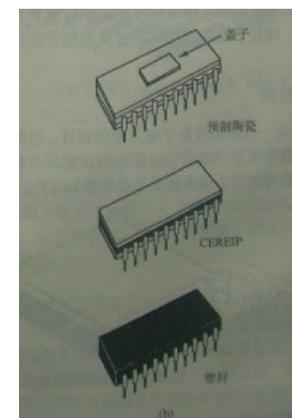
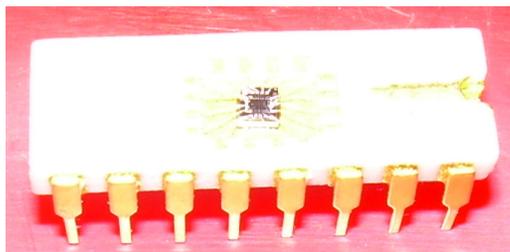
# 封装-金属灌装

早期的电路封装形式.从单管而来.



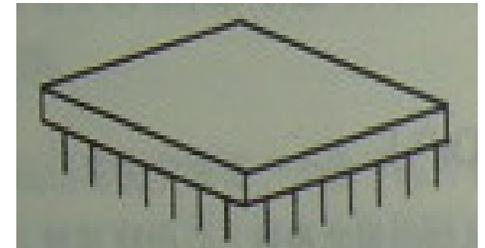
## DIP双列直插式封装

- DIP(Dual In-line Package)是指采用双列直插形式封装的集成电路芯片，其引脚数一般不超过100个。采用DIP封装的CPU芯片有两排引脚，需要插入到具有DIP结构的芯片插座上。
- DIP封装具有以下特点：
  1. 适合在PCB(印刷电路板)上穿孔焊接，操作方便。
  2. 芯片面积与封装面积之间的比值较大，故体积也较大。
- Intel系列CPU中8088就采用这种封装形式，缓存(Cache)和早期的内存芯片也是这种封装形式。



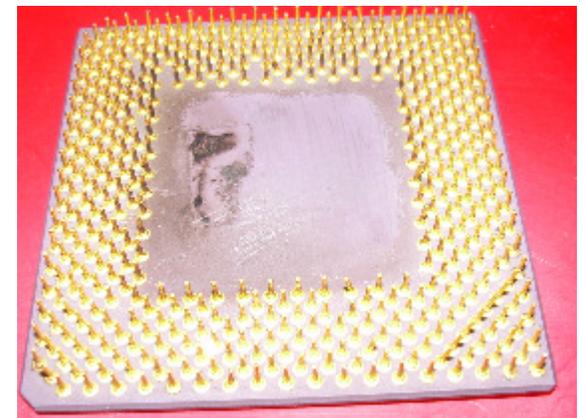
## QFP塑料方型扁平式封装和PFP塑料扁平组件式封装

- QFP（Plastic Quad Flat Package）封装的芯片引脚之间距离很小，管脚很细，一般大规模或超大型集成电路都采用这种封装形式，其引脚数一般在100个以上。用这种形式封装的芯片必须采用SMD（表面安装设备技术）将芯片与主板焊接起来。采用SMD安装的芯片不必在主板上打孔，一般在主板表面上有设计好的相应管脚的焊点。将芯片各脚对准相应的焊点，即可实现与主板的焊接。用这种方法焊上去的芯片，如果不用专用工具是很难拆卸下来的。
- PFP（Plastic Flat Package）方式封装的芯片与QFP方式基本相同。唯一的区别是QFP一般为正方形，而PFP既可以是正方形，也可以是长方形。
- QFP/PFP封装具有以下特点：
  - 1.适用于SMD表面安装技术在PCB电路板上安装布线。
  - 2.适合高频使用。
  - 3.操作方便，可靠性高。
  - 4.芯片面积与封装面积之间的比值较小。
- Intel系列CPU中80286、80386和某些486主板采用这种封装形式。

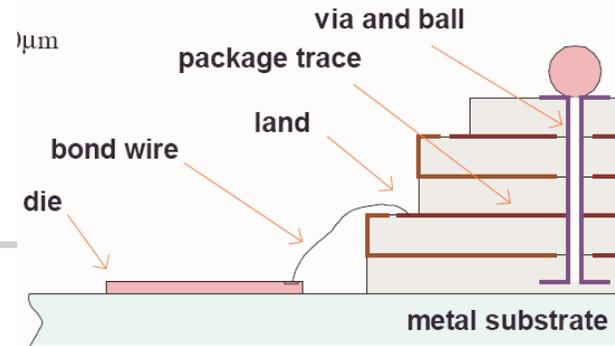


# PGA插针网格阵列封装

- PGA(Pin Grid Array Package)芯片封装形式在芯片的内外有多个方阵形的插针，每个方阵形插针沿芯片的四周间隔一定距离排列。根据引脚数目的多少，可以围成2-5圈。安装时，将芯片插入专门的PGA插座。为使CPU能够更方便地安装和拆卸，从486芯片开始，出现一种名为ZIF的CPU插座，专门用来满足PGA封装的CPU在安装和拆卸上的要求。
- ZIF(Zero Insertion Force Socket)是指零插拔力的插座。把这种插座上的扳手轻轻抬起，CPU就可很容易、轻松地插入插座中。然后将扳手压回原处，利用插座本身的特殊结构生成的挤压力，将CPU的引脚与插座牢牢地接触，绝对不存在接触不良的问题。而拆卸CPU芯片只需将插座的扳手轻轻抬起，则压力解除，CPU芯片即可轻松取出。
- PGA封装具有以下特点：
  - 1.插拔操作更方便，可靠性高。
  - 2.可适应更高的频率。
- Intel系列CPU中，80486和Pentium、Pentium Pro均采用这种封装形式。



## BGA球栅阵列封装

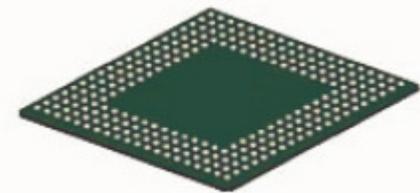


### ■ BGA封装技术又可详分为五大类：

- 1.PBGA (Plastic BGA) 基板：一般为2-4层有机材料构成的多层板。Intel系列CPU中，Pentium II、III、IV处理器均采用这种封装形式。
- 2.CBGA (Ceramic BGA) 基板：即陶瓷基板，芯片与基板间的电气连接通常采用倒装芯片 (FlipChip, 简称FC) 的安装方式。Intel系列CPU中，Pentium I、II、Pentium Pro处理器均采用过这种封装形式。
- 3.FCBGA (FlipChip BGA) 基板：硬质多层基板。
- 4.TBGA (Tape BGA) 基板：基板为带状软质的1-2层PCB电路板。
- 5.CDPBGA (Carity Down PBGA) 基板：指封装中央有方型低陷的芯片区 (又称空腔区)。

### ■ BGA封装具有以下特点：

- 1.I/O引脚数虽然增多，但引脚之间的距离远大于QFP封装方式，提高了成品率。
- 2.虽然BGA的功耗增加，但由于采用的是可控塌陷芯片法焊接，从而可以改善电热性能。
- 3.信号传输延迟小，适应频率大大提高。
- 4.组装可用共面焊接，可靠性大大提高。



# CSP芯片尺寸封装

- 随着全球电子产品个性化、轻巧化的需求蔚为风潮，封装技术已进步到CSP(Chip Size Package)。它减小了芯片封装外形的尺寸，做到裸芯片尺寸有多大，封装尺寸就有多大。即封装后的IC尺寸边长不大于芯片的1.2倍，IC面积只比晶粒（Die）大不超过1.4倍。
- CSP封装又可分为四类：
  - 1. Lead Frame Type(传统导线架形式)，代表厂商有富士通、日立、Rohm、高士达（Goldstar）等等。
  - 2. Rigid Interposer Type(硬质内插板型)，代表厂商有摩托罗拉、索尼、东芝、松下等等。
  - 3. Flexible Interposer Type(软质内插板型)，其中最有名的是Tessera公司的microBGA，CTS的sim-BGA也采用相同的原理。其他代表厂商包括通用电气（GE）和NEC。
  - 4. Wafer Level Package(晶圆尺寸封装)：有别于传统的单一芯片封装方式，WLCSP是将整片晶圆切割为一颗颗的单一芯片，它号称是封装技术的未来主流，已投入研发的厂商包括FCT、Aptos、卡西欧、EPIC、富士通、三菱电子等。
- CSP封装具有以下特点：
  - 1. 满足了芯片I/O引脚不断增加的需要。
  - 2. 芯片面积与封装面积之间的比值很小。
  - 3. 极大地缩短延迟时间。

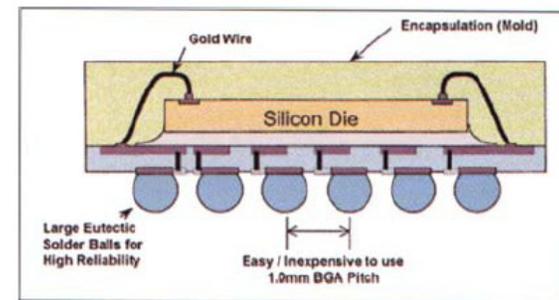
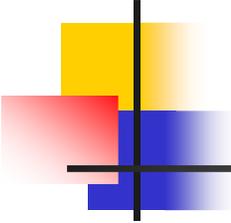


Figure 16. Simple and low cost CSP based on a two layer PCB substrate, wire bonded die, with a BGA footprint. This is being used for some Intel Flash memory.

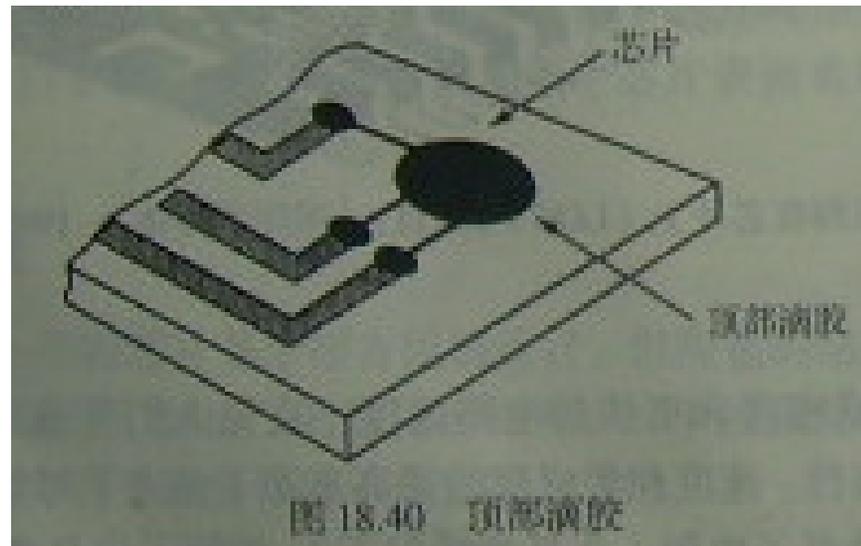


# MCM多芯片模块

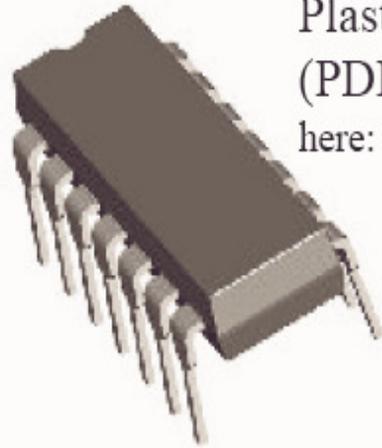
- 为解决单一芯片集成度低和功能不够完善的问题，把多个高集成度、高性能、高可靠性的芯片，在密度多层互联基板上用SMD技术组成多种多样的电子模块系统，从而出现MCM(Multi Chip Model)多芯片模块系统。
- MCM具有以下特点：
  - 1.封装延迟时间缩小，易于实现模块高速化。
  - 2.缩小整机/模块的封装尺寸和重量。
  - 3.系统可靠性大大提高。
- **根据基板材料可分为MCM-L，MCM-C和MCM-D三大类。**
- MCM-L 是使用通常的玻璃环氧树脂多层印刷基板的组件。布线密度不怎么高，成本较低。
- MCM-C 是用厚膜技术形成多层布线，以陶瓷(氧化铝或玻璃陶瓷)作为基板的组件，与使用多层陶瓷基板的厚膜混合IC类似。两者无明显差别。布线密度高于MCM-L。
- MCM-D 是用薄膜技术形成多层布线，以陶瓷(氧化铝或氮化铝)或Si、Al作为基板的组件。布线密度在三种组件中是最高的，但成本也高。

# 软封装 COB

- 民用低成本



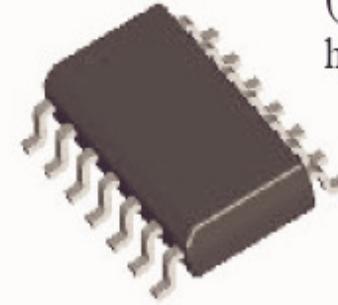
# IC Packaging/Popular IC Packages



Plastic Dual-In-Line  
(PDIP)  
here: PDIP14

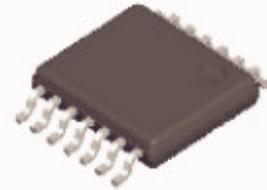
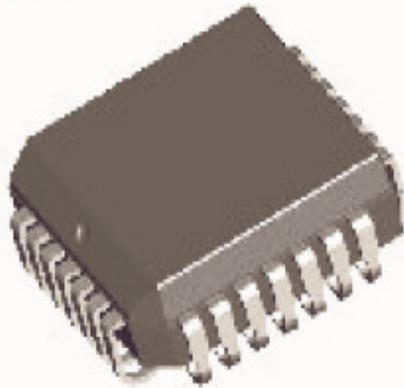


SC70  
here: SC70-5



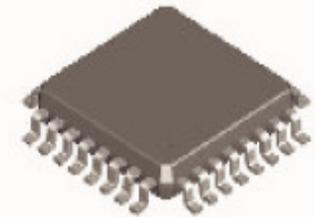
Small Outline  
Integrated Circuit  
(SOIC)  
here: SO14

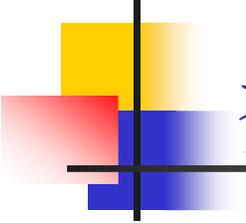
Plastic Lead Chip Carrier (PLCC)  
here: PLCC28



Thin Shrink Small Outline  
(TSSOP)  
here: TSSOP14

Thin Quad Flat Package  
(TQFP)  
here: TQFP32

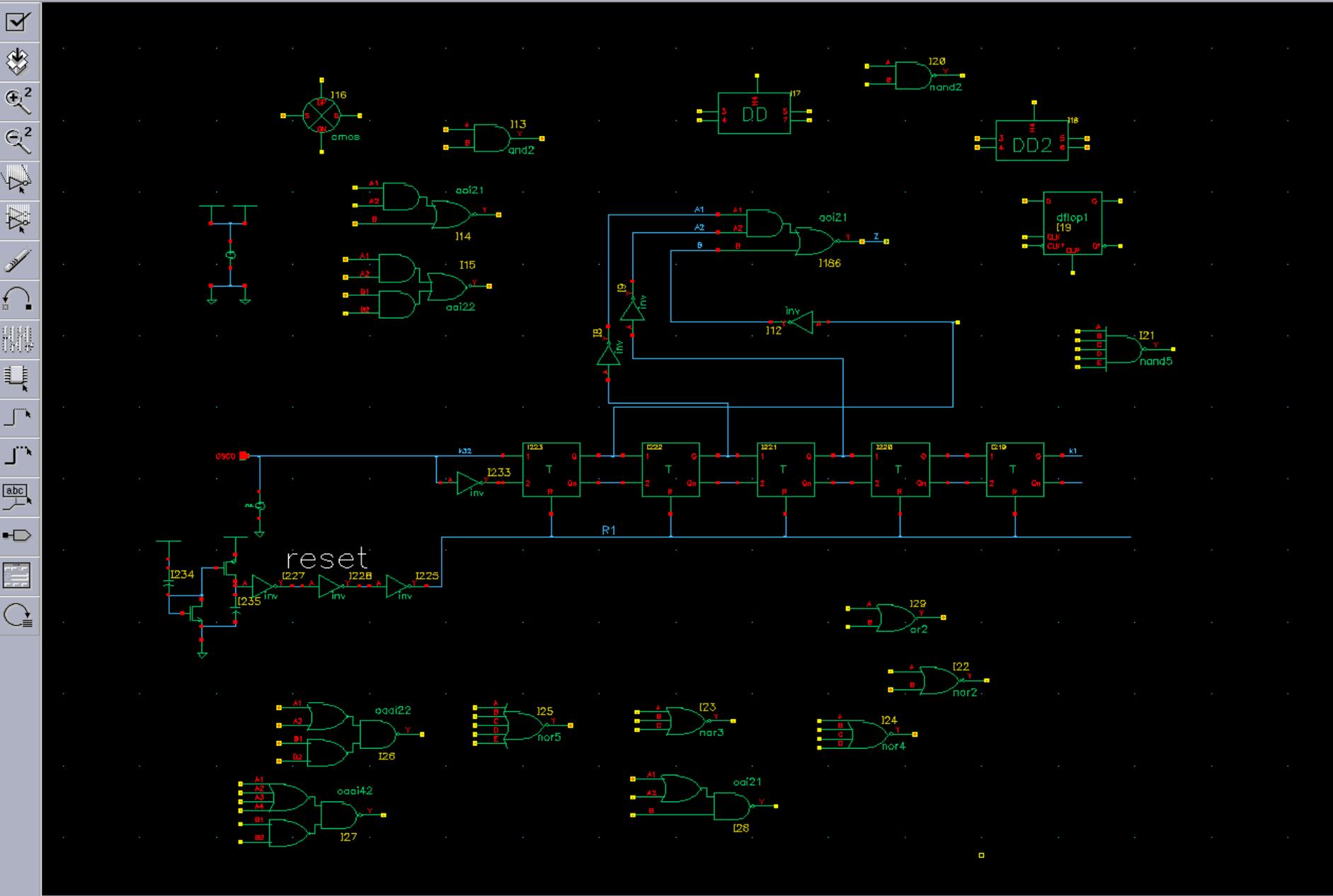




# 参见动画及菲利普公司的ppt

---

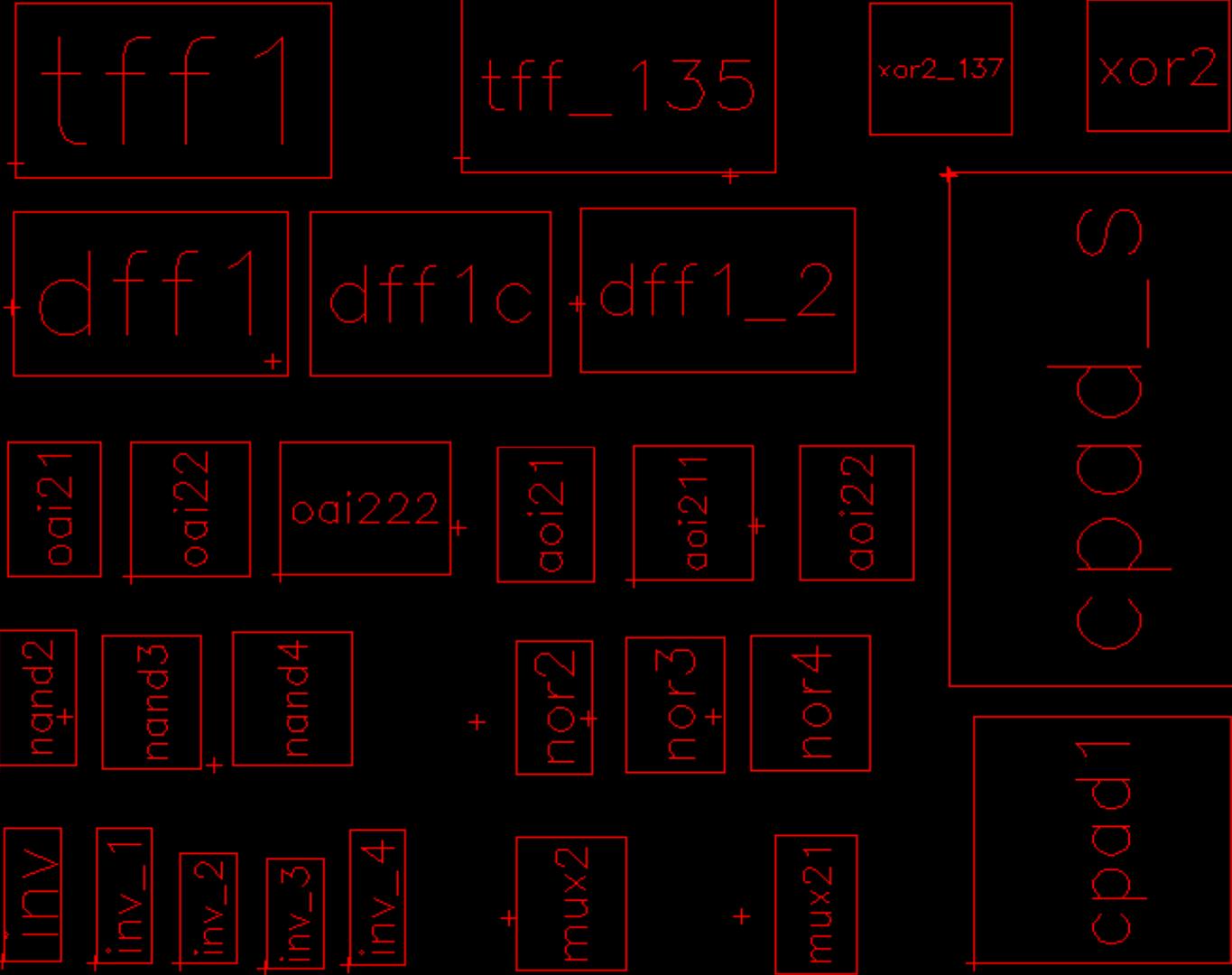
- 点石成金
- IC封装术语
- ascii package



mouse L: schSingleSelectPt()

M: schHiMousePopUp()

R: schZoomFit(1.0 0.9)



X: 622.9

Y: 307.2

(F) Select: 0

dX:

dY:

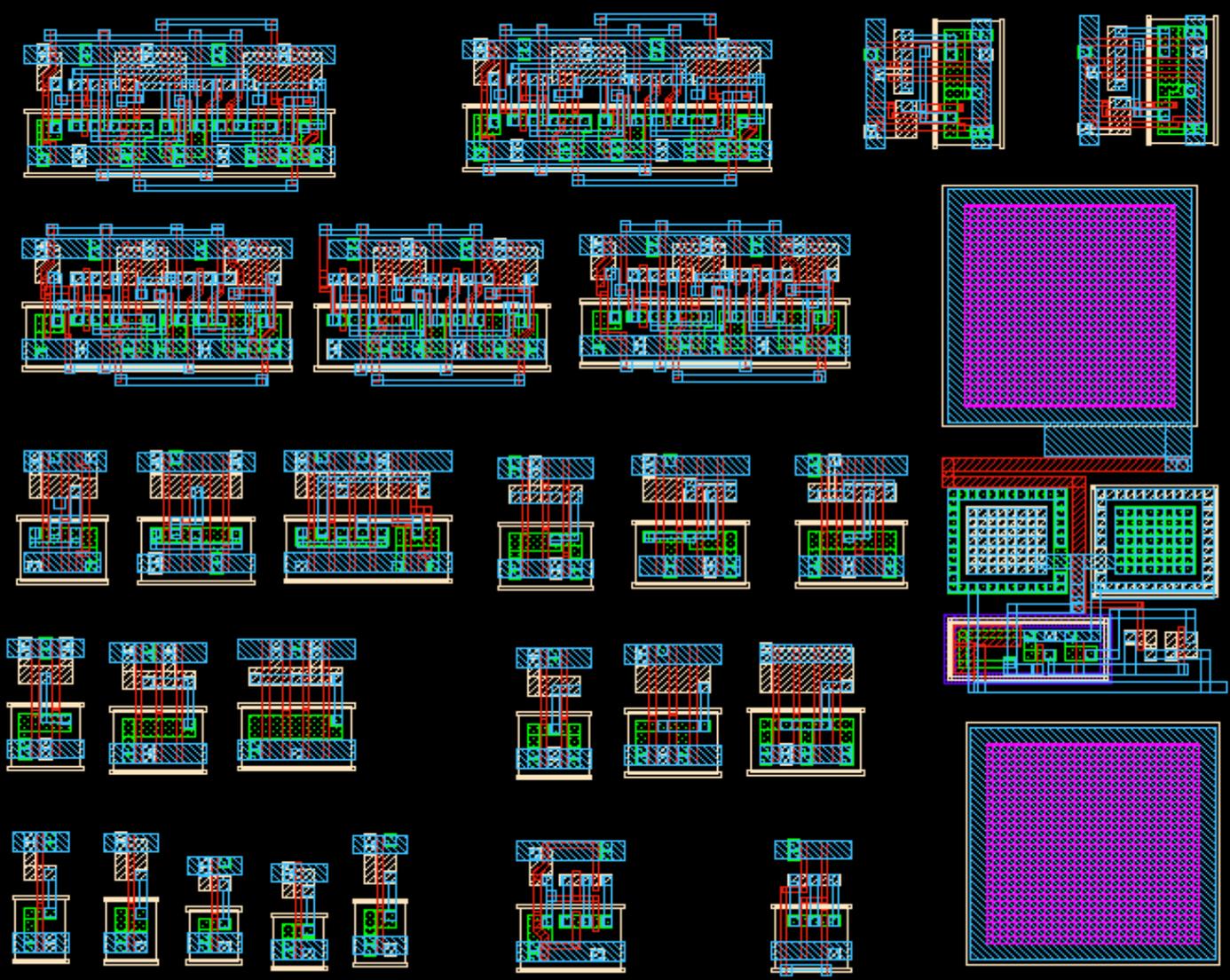
Dist:

Cmd:

13

Tools Design Window Create Edit Verify Connectivity Options Route

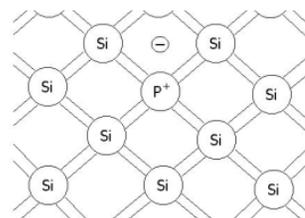
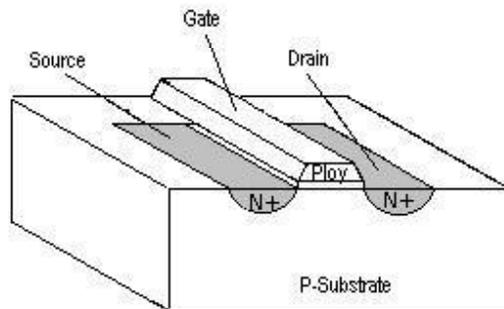
Help



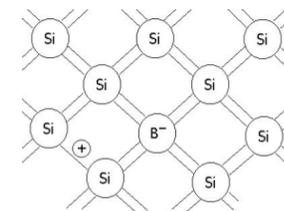
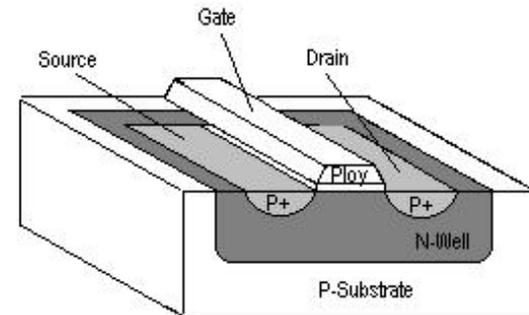
mouse L: mouseSingleSelectPt M: mousePopUp() R: hiZoomAbsoluteScale (hiGetCurrentWin

# 学习本课有什么感想和建议?

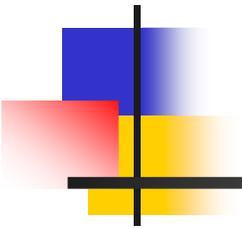
- 比如:
  - 集成电路是怎么做出来的?
  - 集成电路管子级工作的微观原理是什么?
  - 如何画一个集成电路的版图?



图表 9 硅中的施主杂质



图表 11 硅中的受主杂质



END

