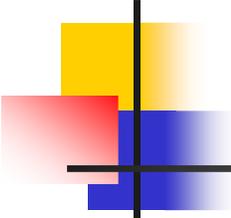


专用集成电路设计

ASIC DESIGN

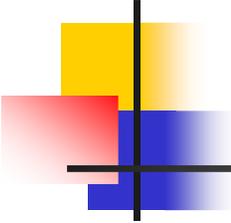
西安电子科技大学 XIDIDIAN UNIVERSITY
V2.0 © 2007 韩孝勇 Han XiaoYong
xyhan5151@yahoo.com.cn www.dianzichan.com

本次课内容：MOSIC基础



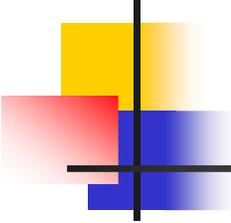
MOSIC基础

- 2.1 集成电路简介
 - 1、集成电路设计流程
 - 2、集成电路设计概述
- 2.2 逻辑符号与原理图
 - 1. 单管符号
 - 2. 反相器/缓冲器
 - 3. 与门/与非门
 - 4. 或门/或非门
 - 5. 复合门--AOI
 - 6. 复合门-OAI
 - 7. 传输门
 - 8. 电阻电容
 - 9. 多路选择器
 - 10. 触发器
- 2.3 PMOS,NMOS的特点
 - 1. CMOS技术
 - 2. 基本电学连接
 - 3. MOSFET结构
 - 4. MOSFET工作原理
 - 5. 模拟信号
- 2.4 MOS门电路逻辑
 - 1. CMOS反相器
 - 2. CMOS与非门
 - 3. CMOS或非门
 - 4. 复合门
 - 5. CMOS传输门
 - 6. 多路选择器
 - 7. CMOS D触发器
 - 8. 半加器



2.1 集成电路简介

- 回顾：什么是集成电路
- 回顾：集成电路分类
- 1、全定制集成电路设计流程
- 2、数字集成电路设计概述



集成电路简介

- 什么是集成电路

- 集成电路(Integrated Cricuit, IC)是通过一系列特定的加工工艺,将晶体管、二极管等有源器件和电阻、电容等无源元器件,按照一定的电路互连,“集成”在一块半导体晶片(如硅和砷化镓)或陶瓷基片上,封装在一个外壳内,执行特定电路或系统功能。

- 什么是专用集成电路:

- ASIC: Application Specific Integrated Cricuit

集成电路分类

- 小规模集成电路（**SSI**）、中规模集成电路（**MSI**）
- 大规模集成电路（**LSI**）、超大规模集成电路（**VLSI**）
- 特大规模集成电路（**ULSI**）、巨大规模集成电路（**GSI**）

	SSI	MSI	LSI	VLSI	ULSI	GSI
芯片所含元器件数	$<10e2$	$10e2\sim 10e3$	$10e3\sim 10e5$	$10e5\sim 10e7$	$10e7\sim 10e9$	$>10e9$
芯片所含门数	<10	$10\sim 10e2$	$10e2\sim 10e4$	$10e4\sim 10e6$	$10e6\sim 10e8$	$>10e8$

全定制法设计流程

- 全定制通常利用人机交互图形系统，由版图设计人员人工地完成各器件及连线的版图设计、输入和编辑，实现电路图到版图的转换。
- 全定制版图设计的特点是充分利用设计人员的经验和创造力，尽可能对每个晶体管的电路参数与版图参数进行优化。
- 所以这种设计用于得到最高速度、最低功耗和最省面积的芯片设计，它的设计周期很长，设计成本很高。

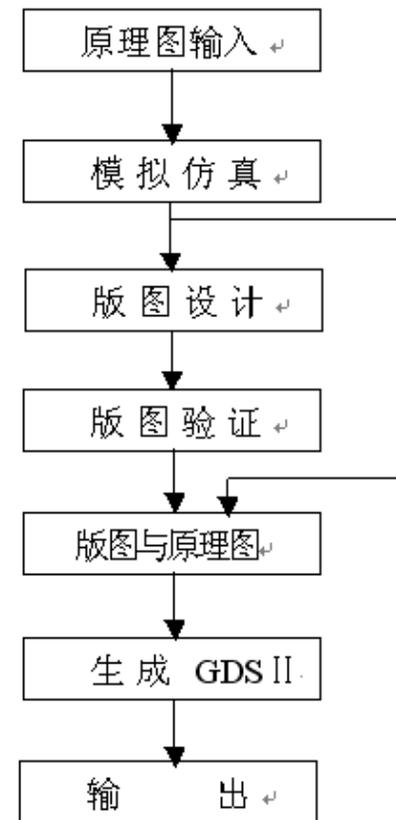
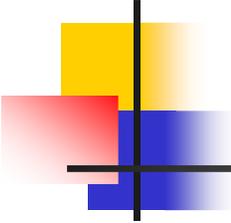
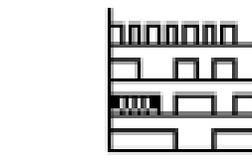
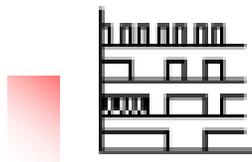


图 全定制 IC 设计

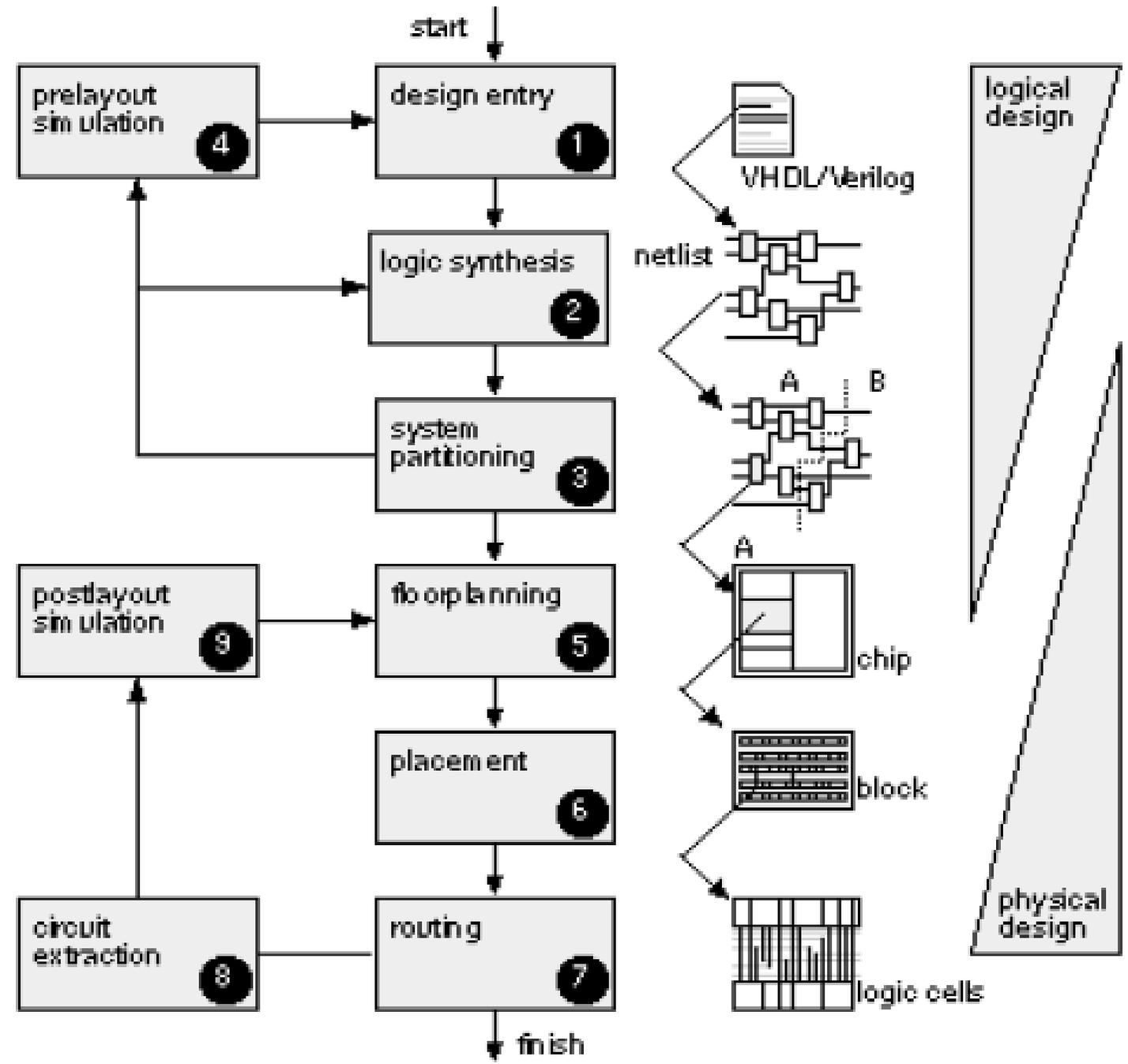


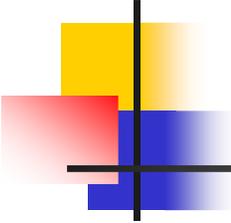
数字电路设计流程top-down

- 1. 设计输入
 - 电路图或硬件描述语言
- 2. 逻辑综合
 - 处理硬件描述语言，产生电路网表
- 3. 系统划分
 - 将电路分成大小合适的块
- 4. 功能仿真
- 5. 版图规划
 - 芯片上安排各宏模块的位置
- 6. 布局
 - 安排宏模块中标准单元的位置
- 7. 布线
 - 宏模块与单元之间的连接
- 8. 寄生参数提取
 - 提取连线的电阻、电容
- 9. 版图后仿真
 - 检查考虑连线后功能和时序是否正确



back-annotated netlist





2.2 逻辑符号与原理图

- 1. 单管符号
- 2. 反相器/缓冲器
- 3. 与门/与非门
- 4. 或门/或非门
- 5. 复合门--AOI
- 6. 复合门-OAI
- 7. 传输门
- 8. 电阻电容
- 9. 多路选择器
- 10. 触发器

1. 单管符号

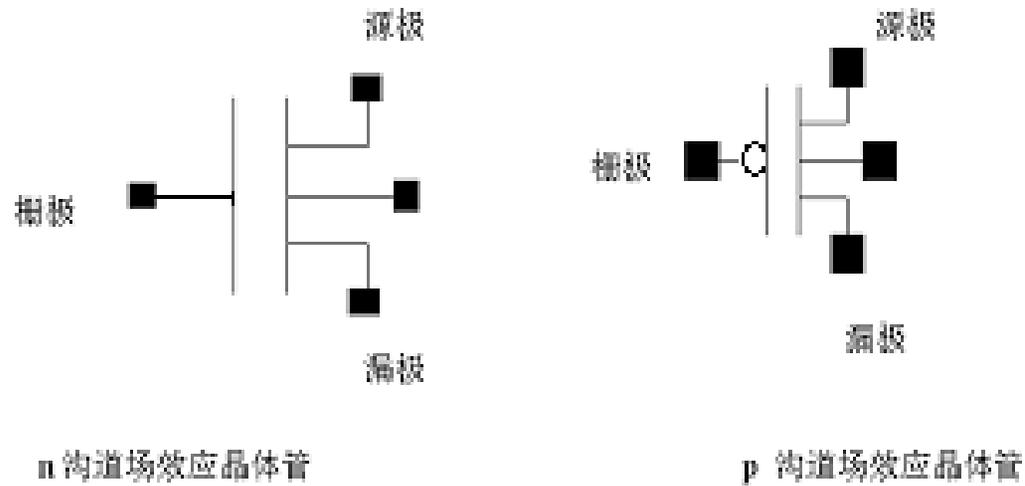


图 2.1 n 沟道和 p 沟道场效应晶体管符号

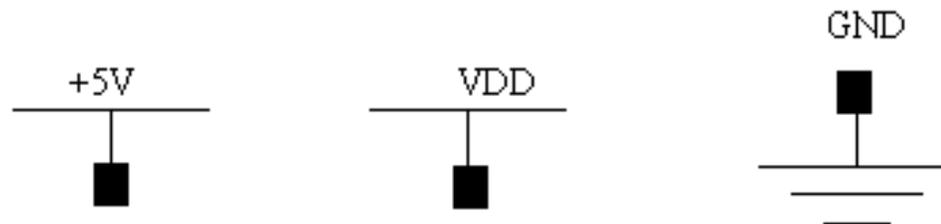


图 2.2 VDD 和 GND 的符号

2. 反相器/缓冲器

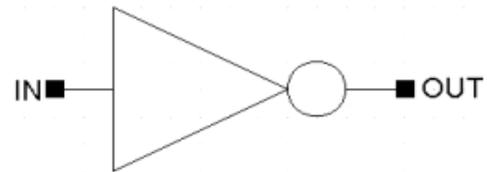


图 2.3 反相器逻辑符号

表 2.1 非门真值表

IN	OUT
0	1
1	0

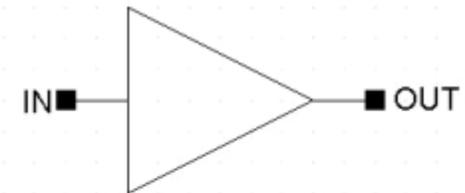


图 2.4 缓冲器符号

表 2.2 缓冲器真值表

IN	OUT
0	0
1	1

只能用两个倒相器作成

与非门: 全1得0 见0得1

3. 与门/与非门

表 2.3 与门真值表

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

表 2.4 与非门真值表

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

$$Z = \overline{A \cdot B}$$

与门做不出来,
要靠与非再非



图 2.5 与门和与非门逻辑符号

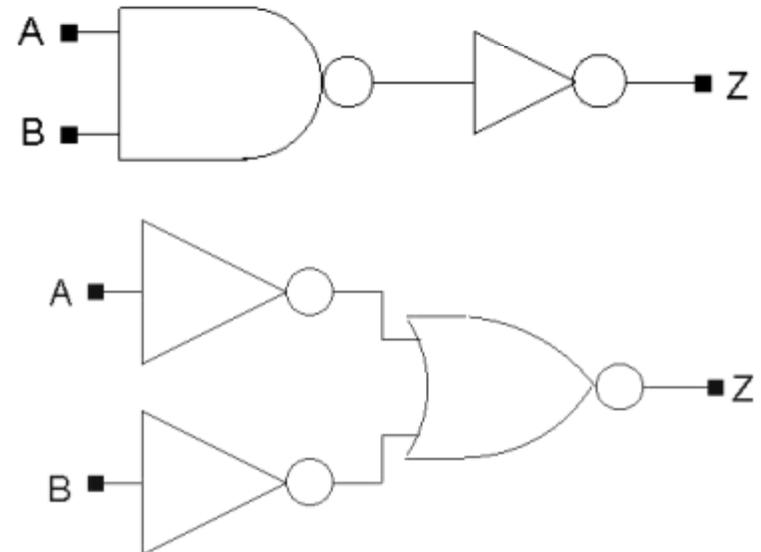


图 2.6 在 CMOS 电路中与门的两种等价符号

4. 或门/或非门

或非门: 全0得1 见1得0

表 2.5 或门真值表

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	1

表 2.6 或非门真值表

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

$$Z = \overline{A+B}$$

或门做不出来,
要靠或非再非

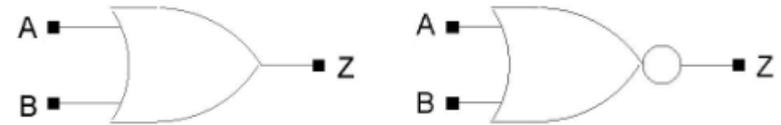


图 2.7 或门与或非门逻辑符号

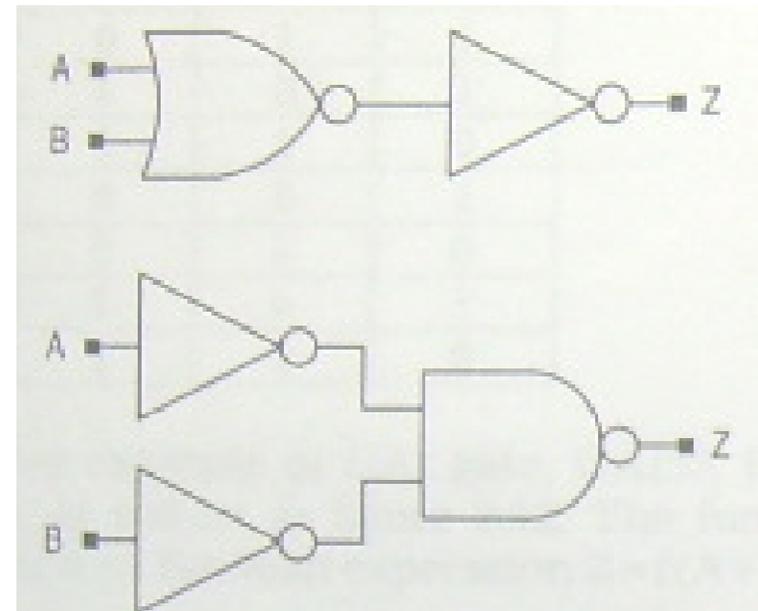


Figure 2.8 OR Equivalents in CMOS

5. 复合门--AOI

表 2.7 与或非门真值表

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

$$Z = (AB + C)'$$

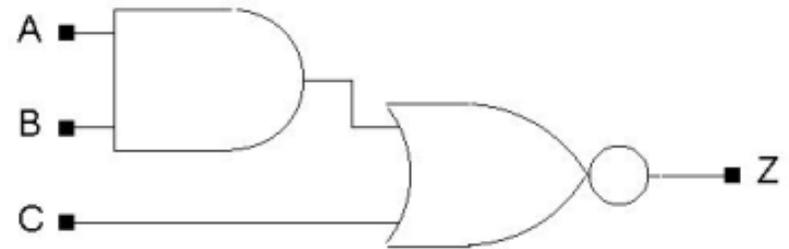


图 2.9 2-1 输入与或非门

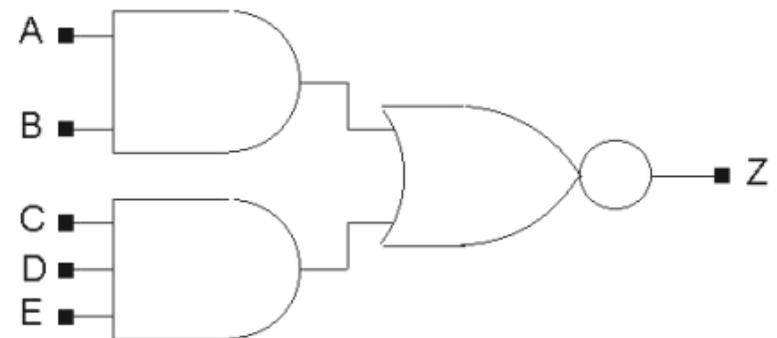


图 2.10 2-3 输入与或非门

6. 复合门-OAI

表 2.8 或与非门真值表

A	B	C	Z
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

$$Z = ((A+B)C)'$$

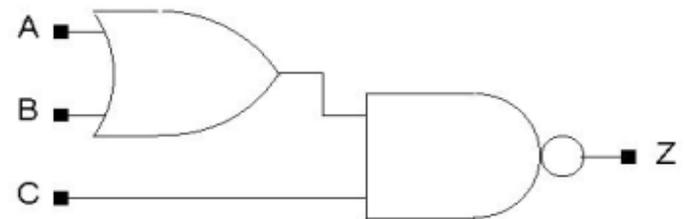


图 2.11 OAI门

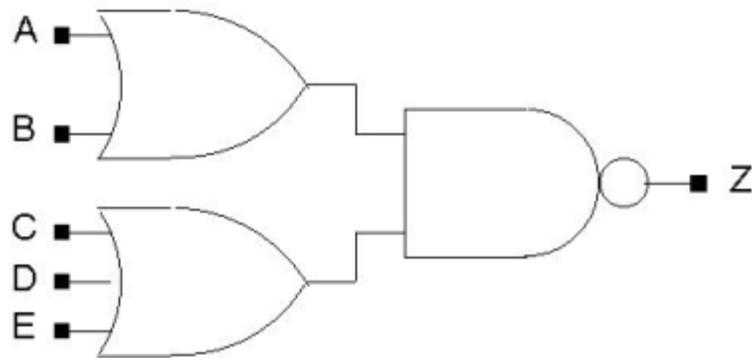


图 2.12 OAI32门

7. 传输门

- C和CB是倒相的信号

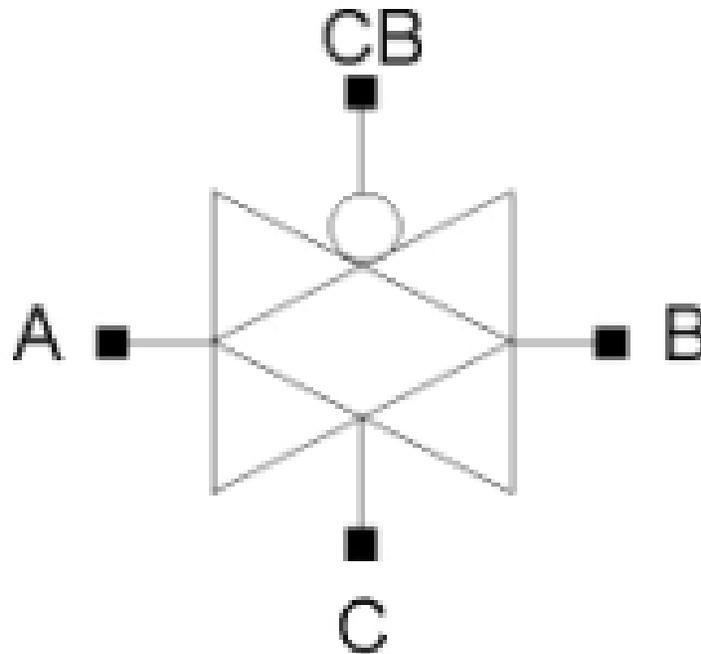


图 2.14 传输门

8. 电阻电容

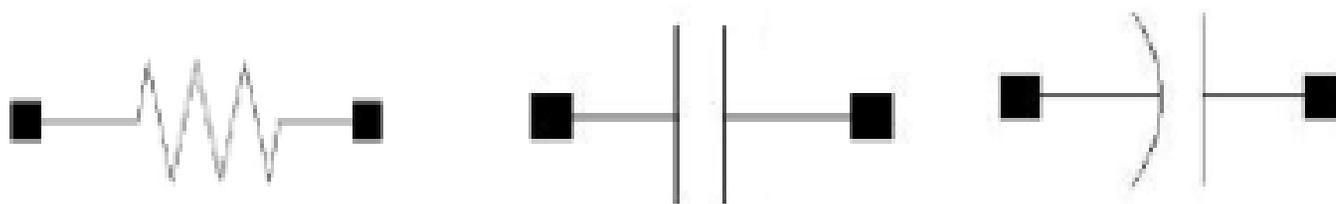


图 2.15 电阻电容符号

9. 多路选择器

表 2.11 四选一真值表 MUX

X	Y	OUT
0	0	IN0
0	1	IN1
1	0	IN2
1	1	IN3

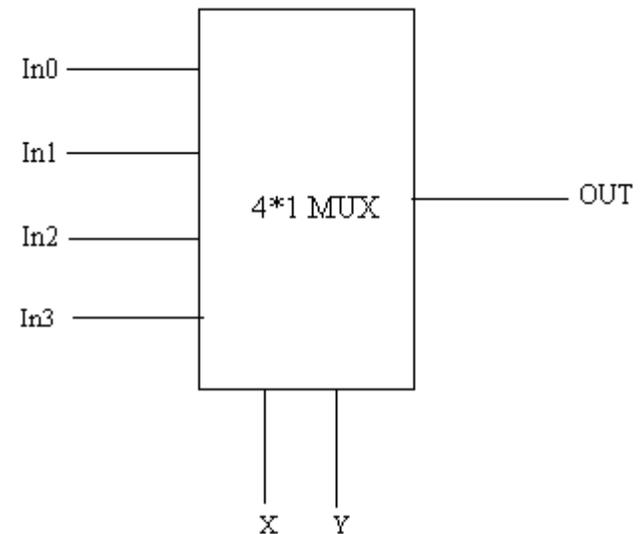


图 2.16 4选1多路选择器符号

10. 触发器

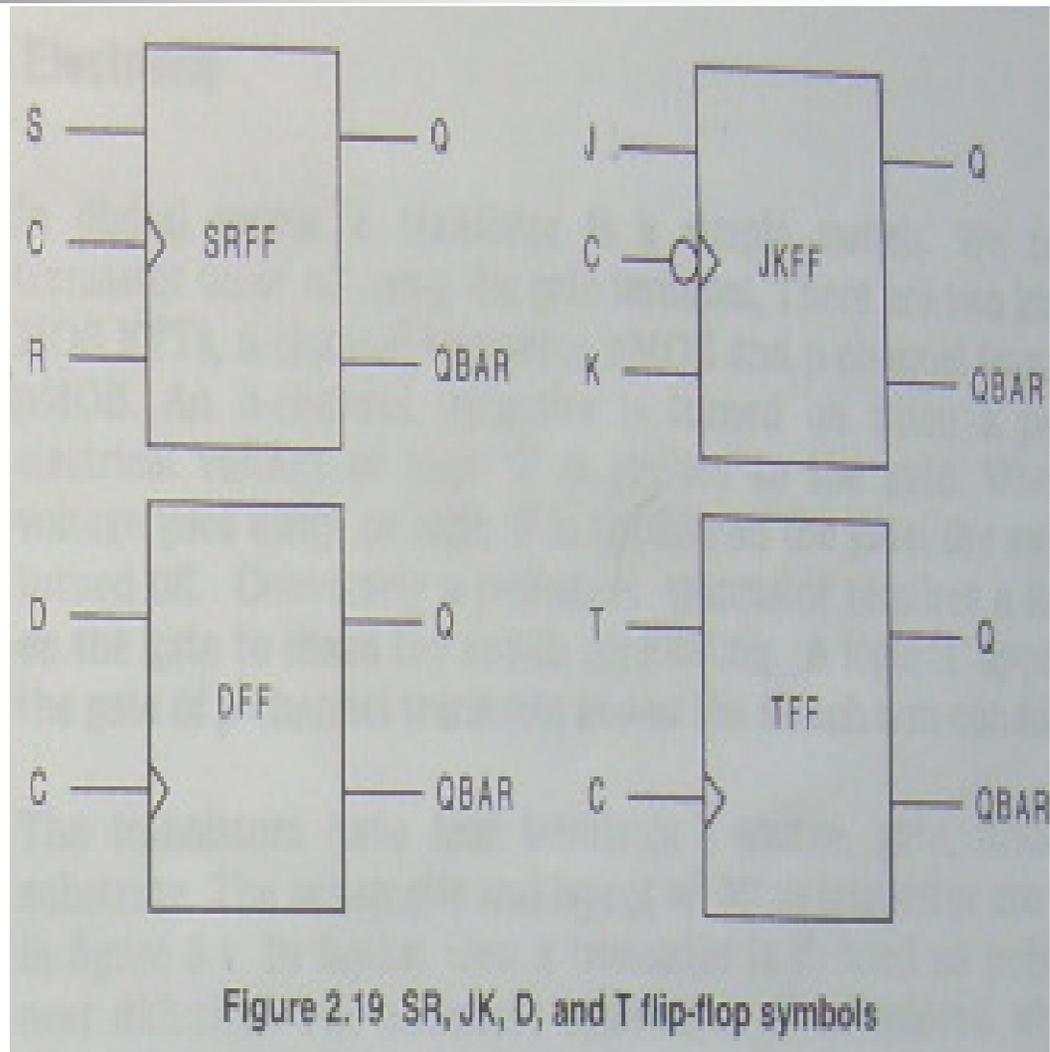
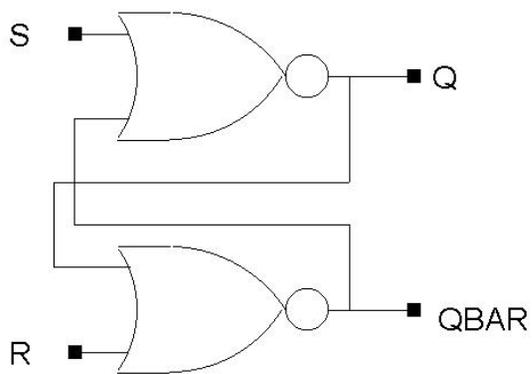
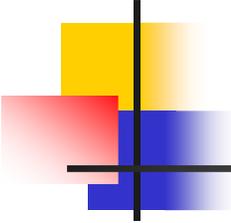
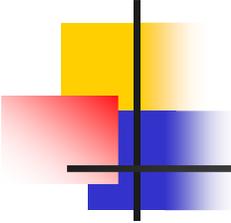


Figure 2.19 SR, JK, D, and T flip-flop symbols



2.3 PMOS,NMOS的特点

- 1. CMOS技术
- 2. 基本电学连接
- 3. MOSFET结构
- 4. MOSFET工作原理
- 5. 模拟信号

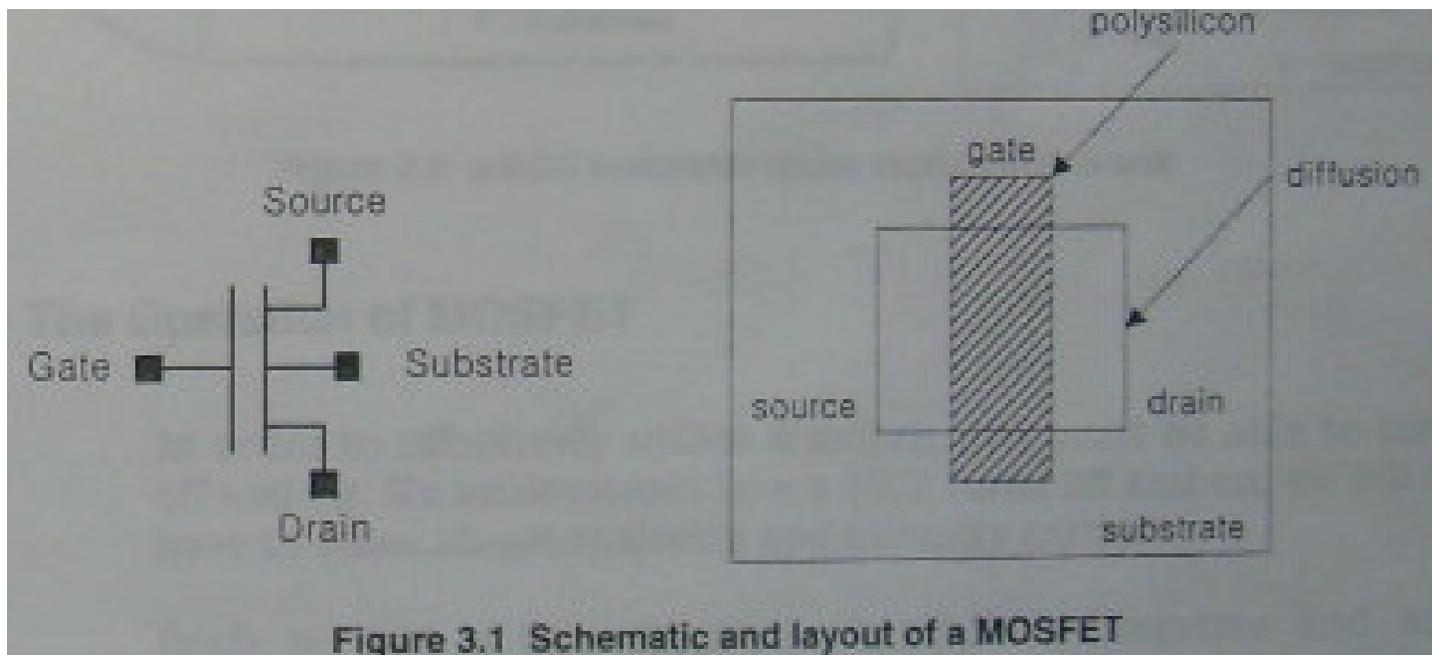


1. CMOS技术

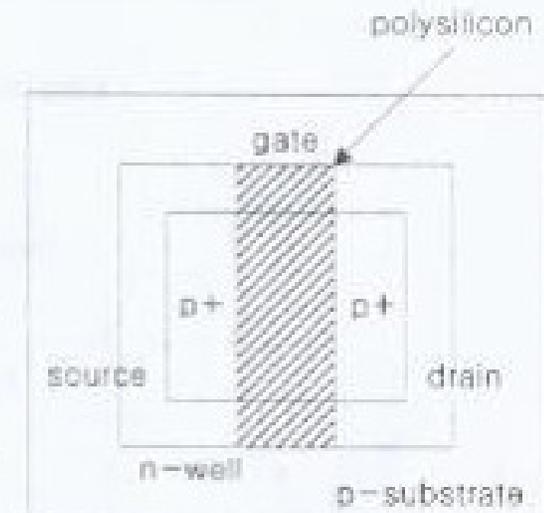
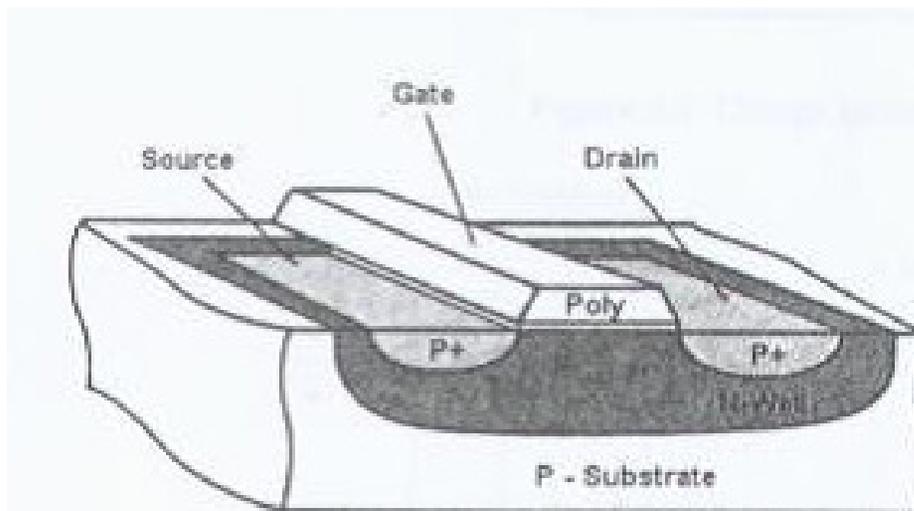
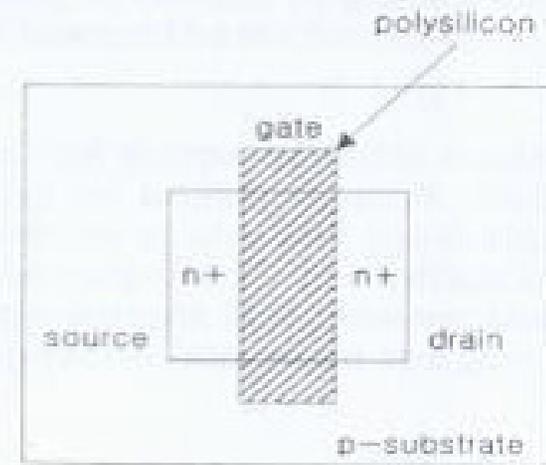
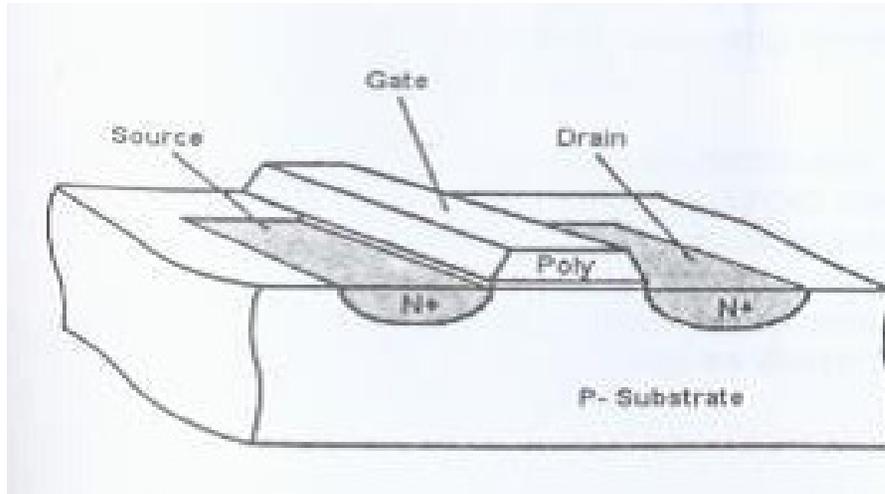
- CMOS是目前ASIC的主流工艺，单层（或多层）金属连线的硅栅CMOS最多。

2. 基本电学连接

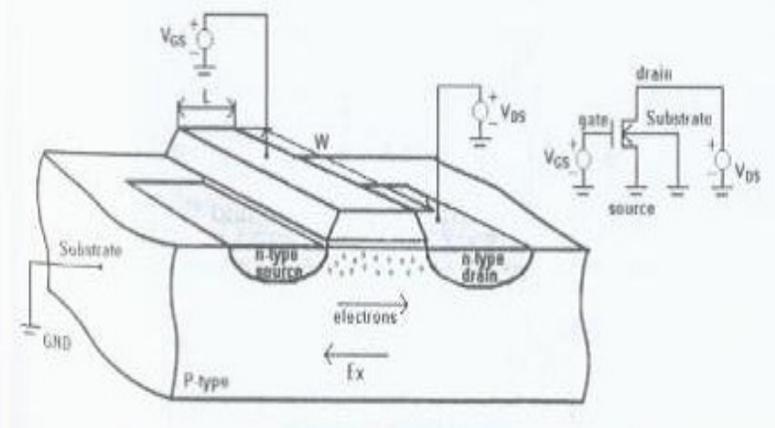
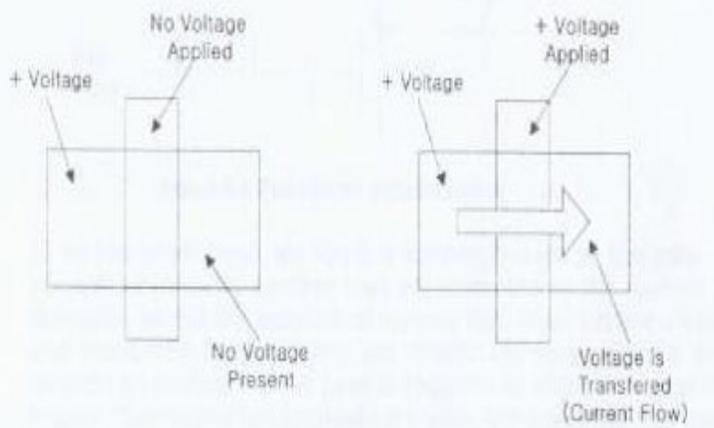
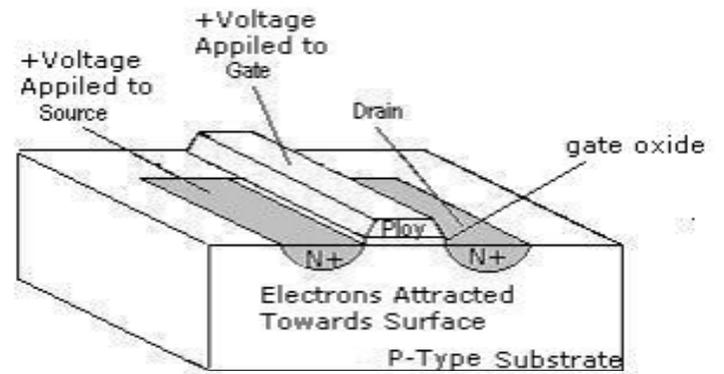
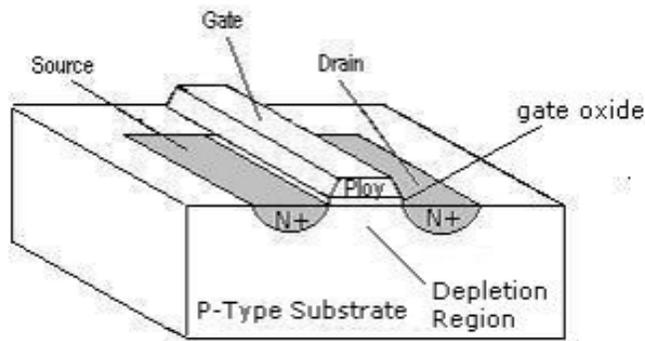
- 符号和版图



3. MOSFET结构

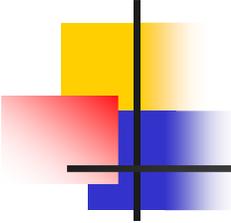


4. MOSFET工作原理



5. 模拟信号

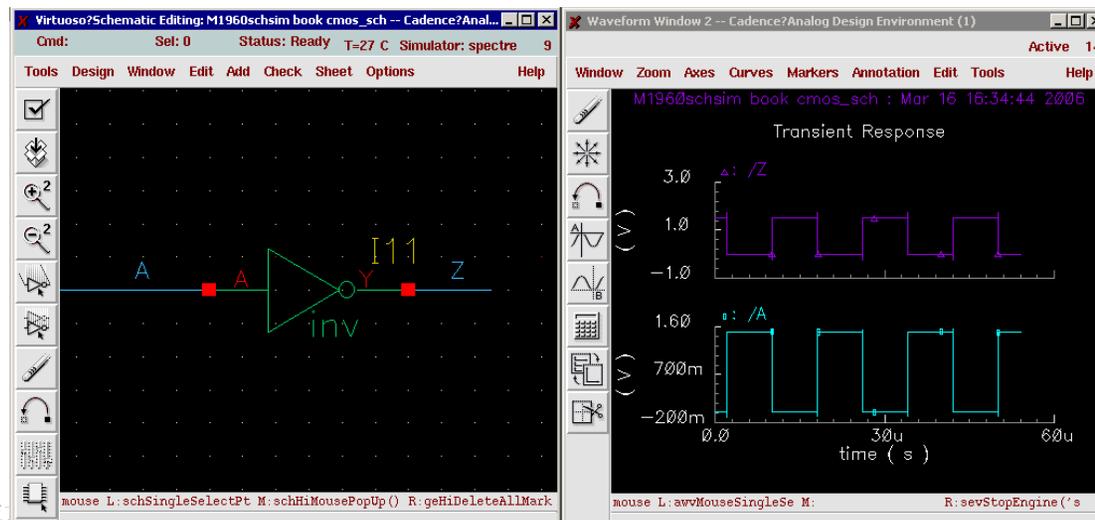
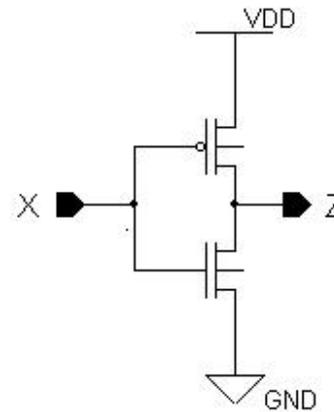
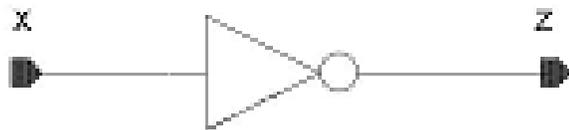




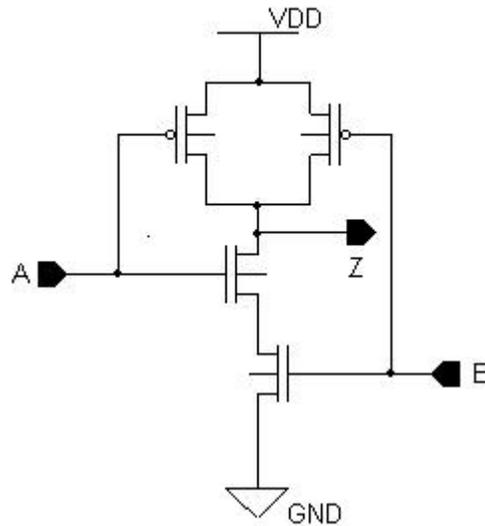
2.4 MOS门电路逻辑

- 1. CMOS反相器
- 2. CMOS与非门
- 3. CMOS或非门
- 4. 复合门
- 5. CMOS传输门
- 6. 多路选择器
- 7. CMOS D触发器
- 8. 半加器

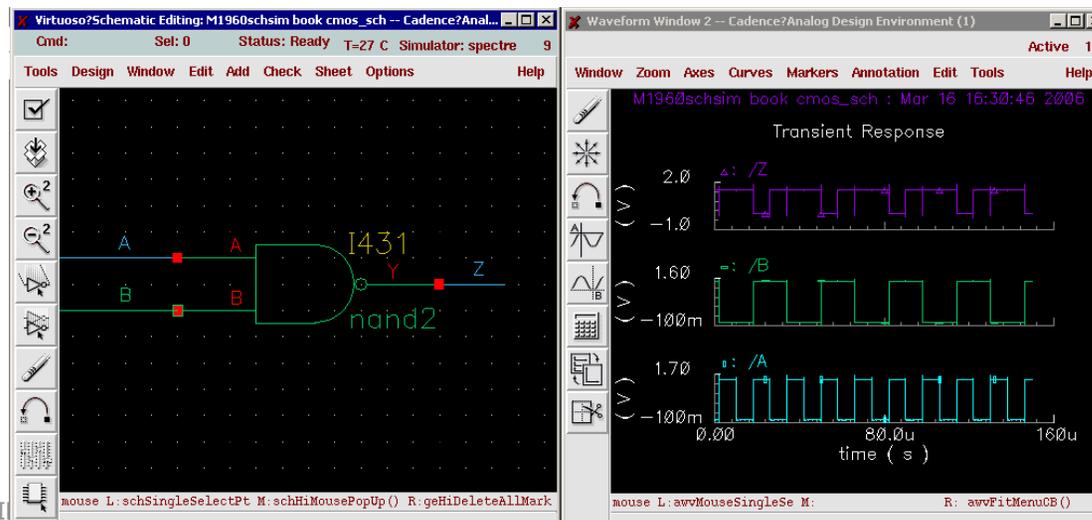
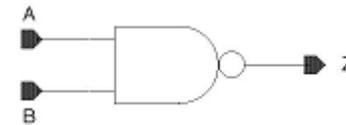
1. CMOS反相器



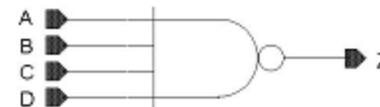
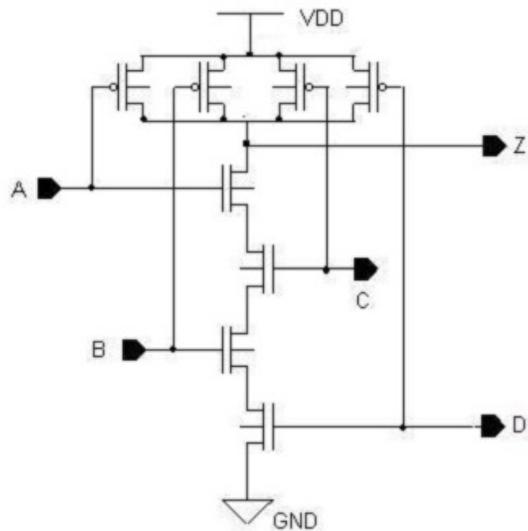
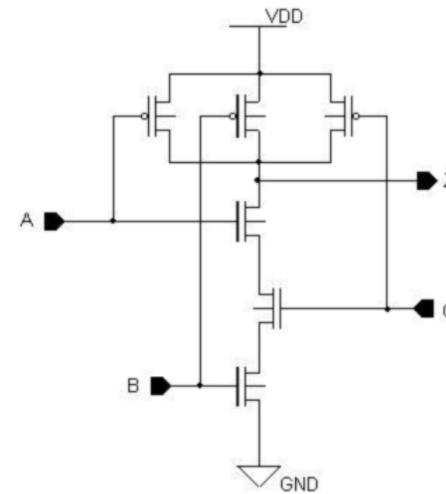
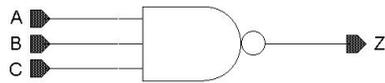
2. CMOS与非门 (1) 2输入与非门



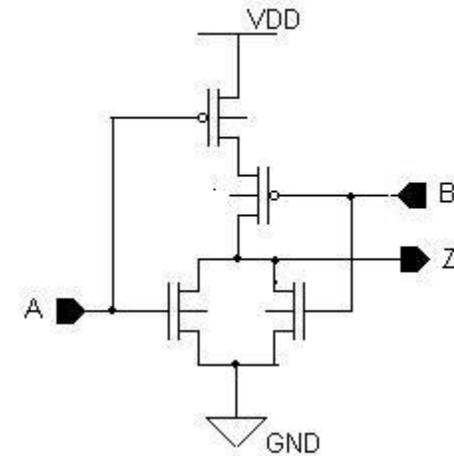
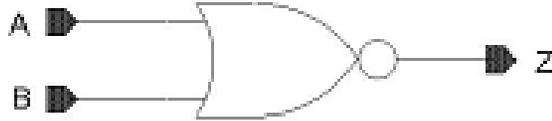
与非门: 全1得0 见0得1



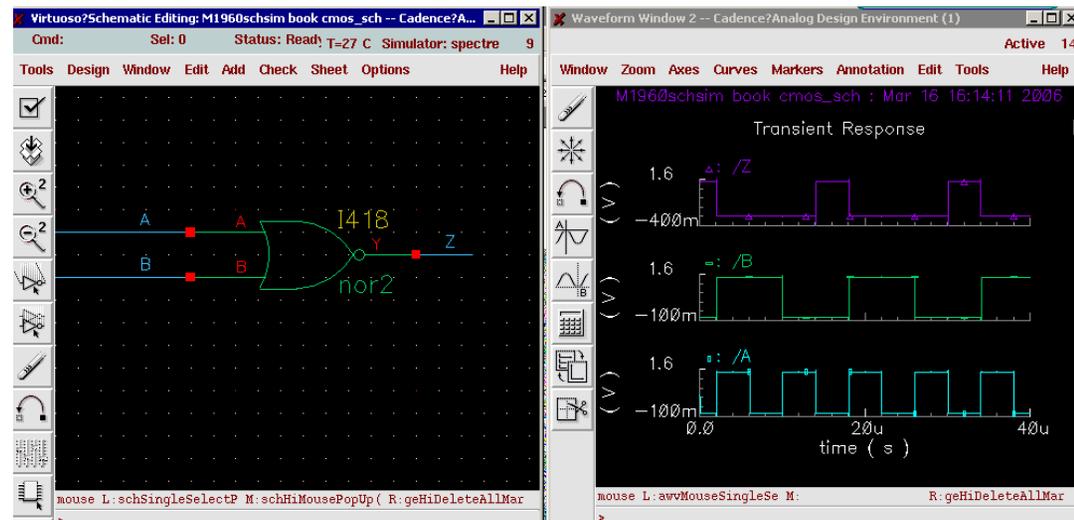
2. CMOS与非门 (2) 多输入与非门



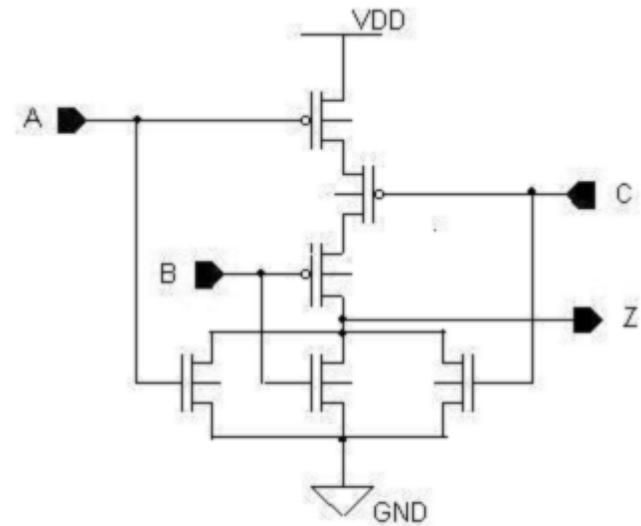
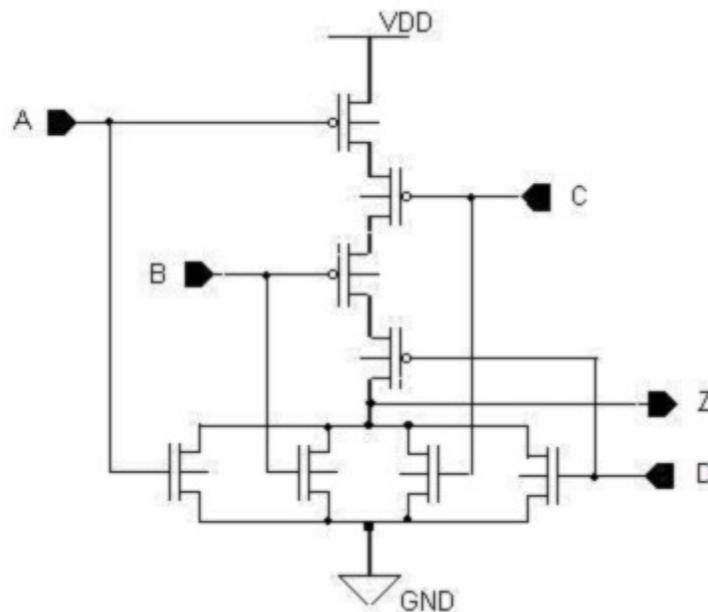
3. CMOS或非门 (1) 2输入或非门



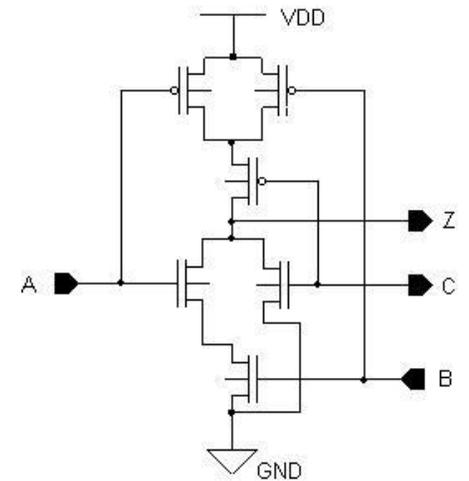
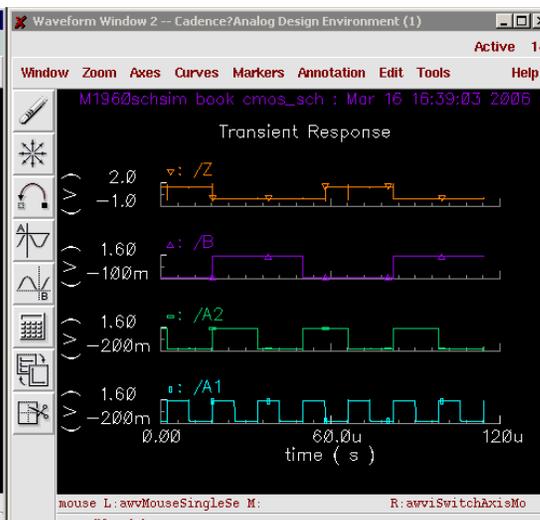
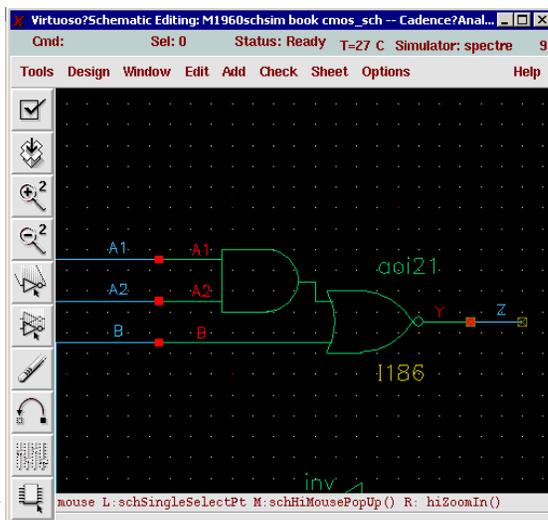
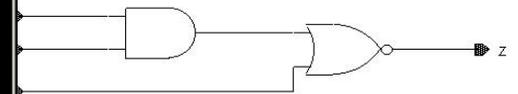
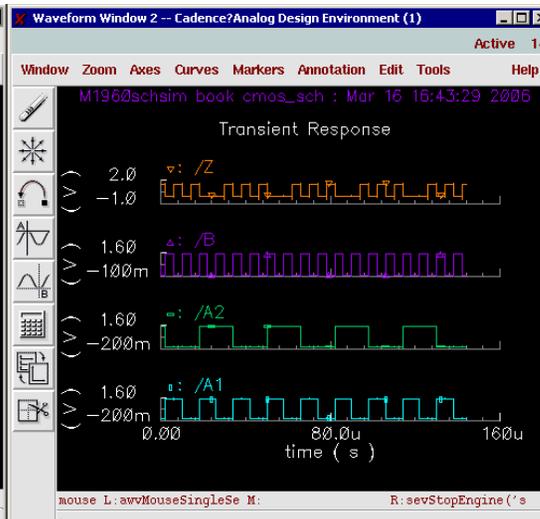
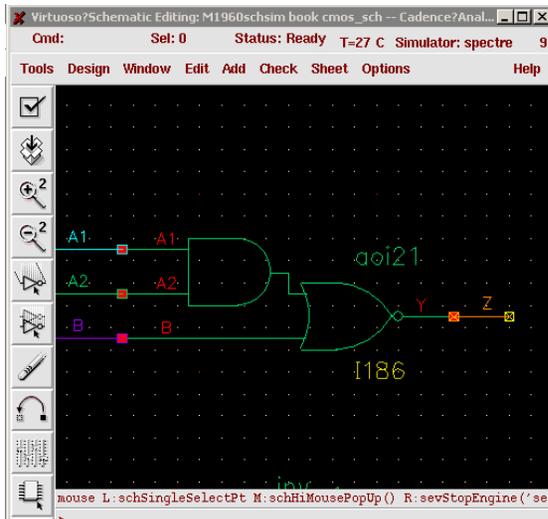
或非门: 全0得1 见1得0



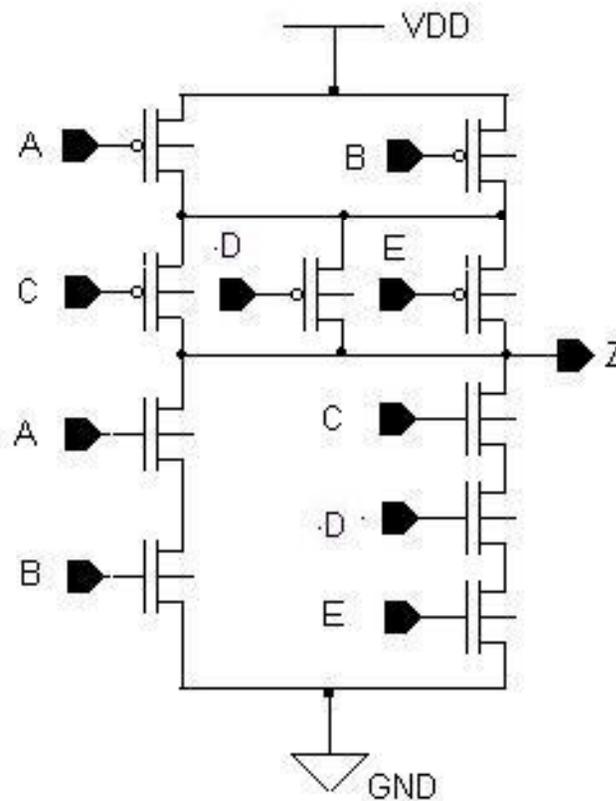
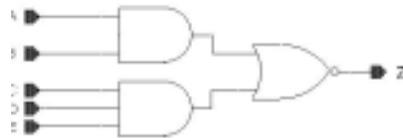
3. CMOS或非门 (2) 多输入或非门



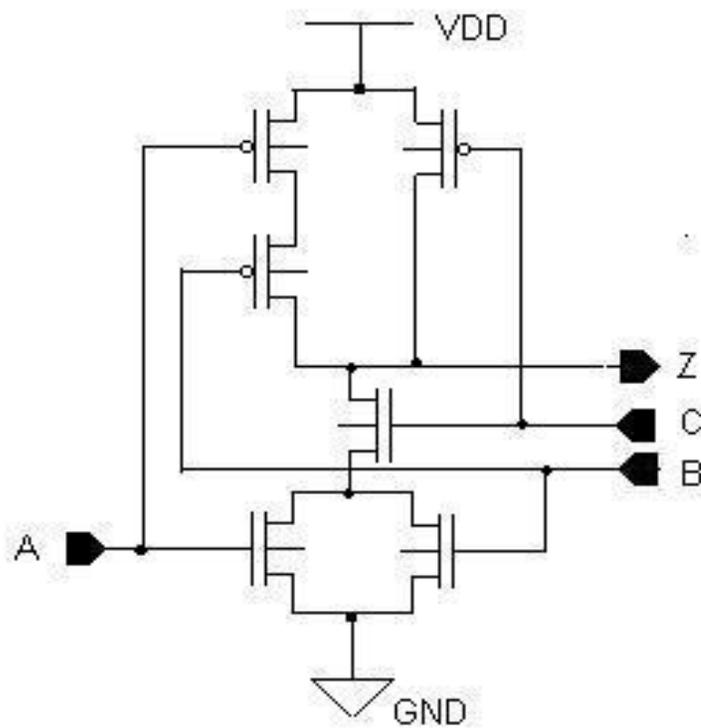
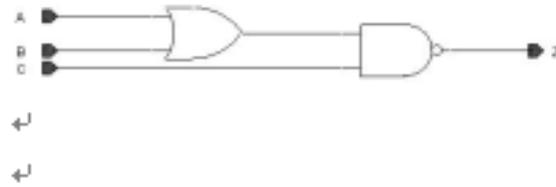
4. 复合门 (1) AOI21门



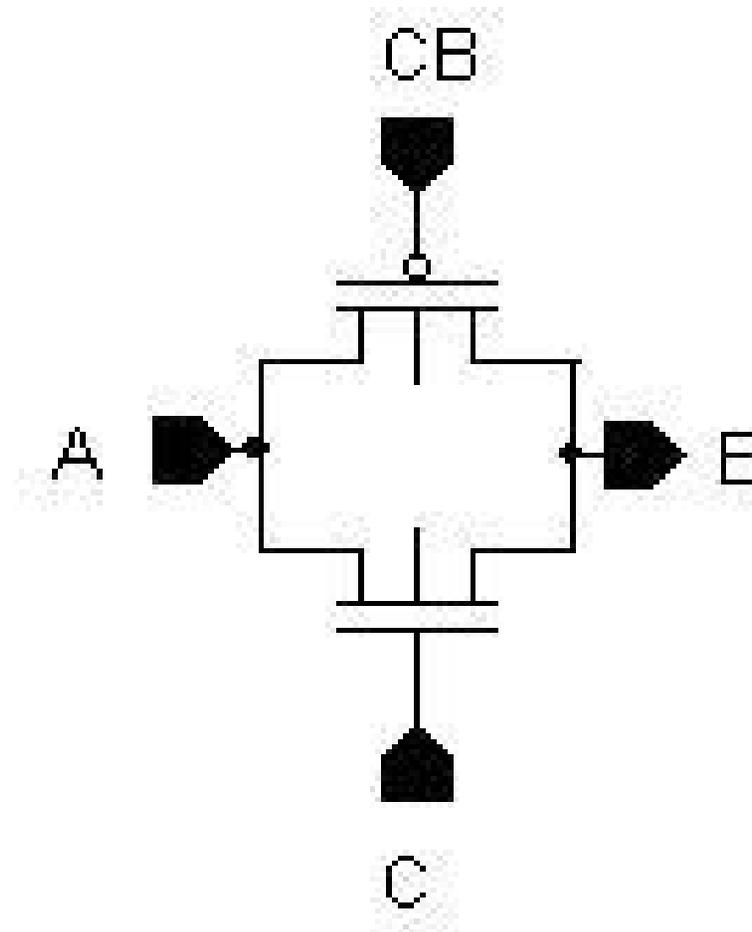
4. 复合门 (2) AOI32门



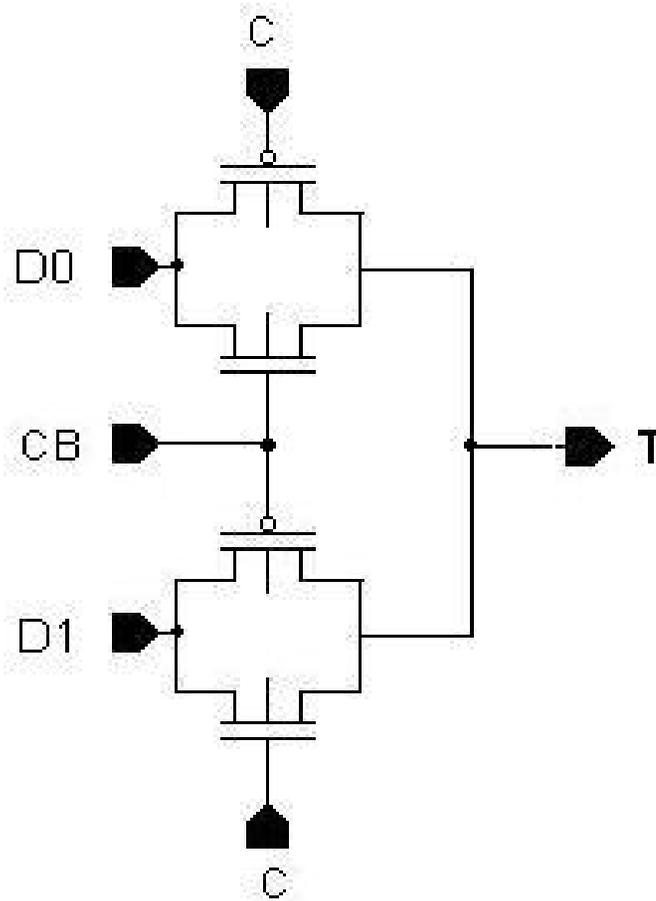
4. 复合门 (3) OAI21门



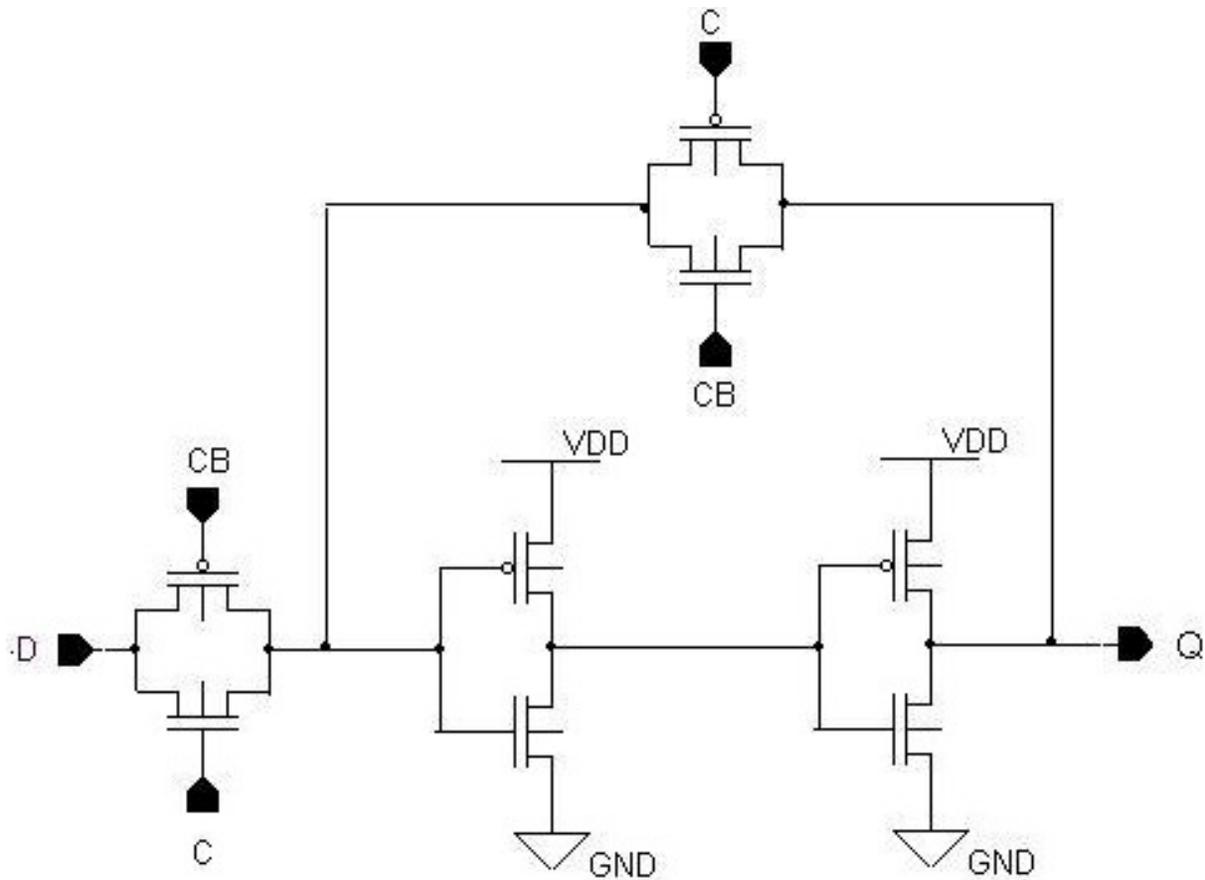
5. CMOS传输门



6. 多路选择器



7. CMOS D触发器



第一传输门开门,则Q等于D. 关门时将Q反馈回去存起来

8. 半加器

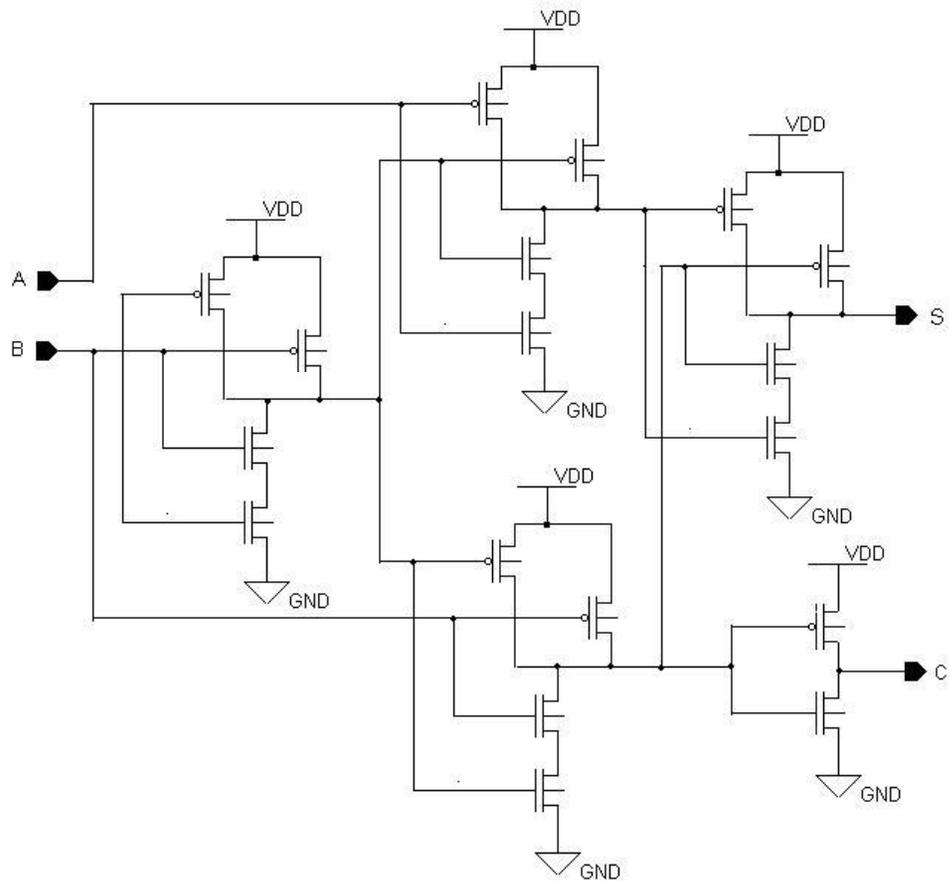
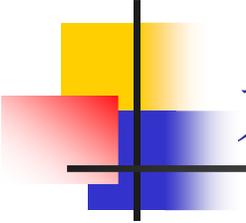


Table4.1 Truth table of half adder

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



本次课程内容回顾

- 本次课程内容参考《数字集成电路》