# PN结晶体管MOS管原理

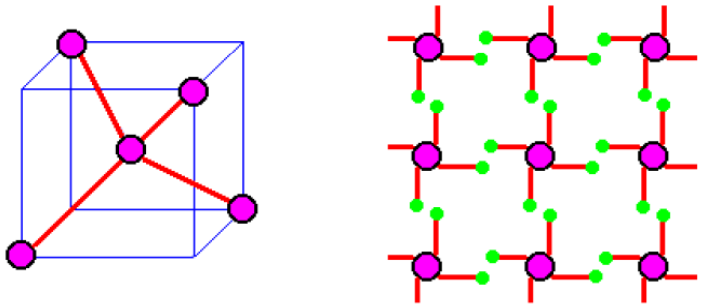
西安电子科技大学　XIDIDIAN UNIVERSITY
V2.0　© 2007 韩孝勇　Han XiaoYong
xyhan5151@yahoo.com.cn　www.dianzichan.com

# PN结 晶体管 MOS管原理

- PN结(二极管)
- 三极管
- MOS管
- 它们在集成电路内的模样
- 如何画它们的版图？

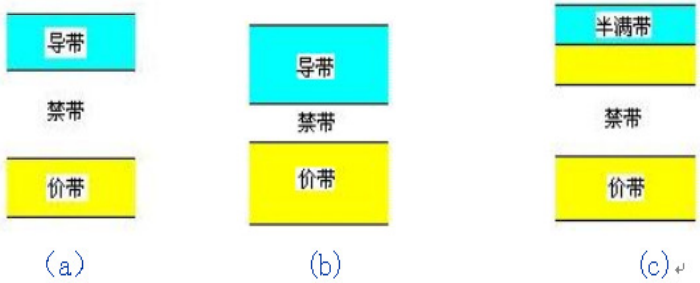
# 回顾半导体知识　*半导体*

- 典型的半导体有硅（Si）和锗（Ge）以及砷化镓（GaAs）等。其中硅用的最广泛。
- 本征半导体(Intrinsic Semiconductor)——化学成分纯净的半导体。

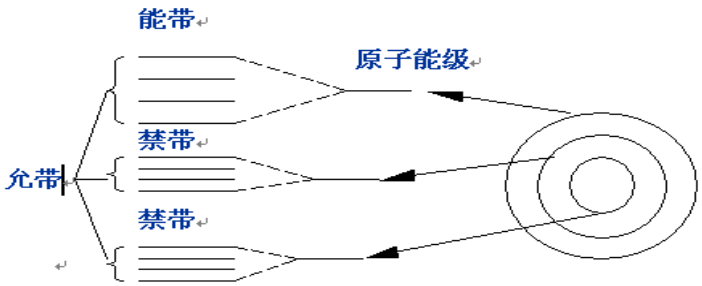


(a) 硅晶体的空间排列　　(b) 共价键结构平面示意图

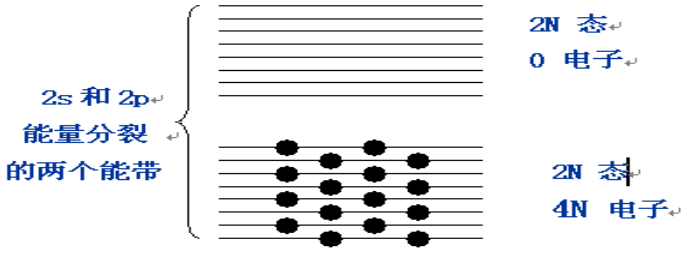
图 1-1-1 硅原子空间排列及共价键结构平面示意图




图表 5 绝缘体、半导体和导体的能带示意图




图表 3　原子能级分裂为能带的示意图




图表 4　金刚石型结构价电子能带示意图

# 回顾半导体知识 *杂质半导体*

在本征半导体中掺入某些微量元素作为杂质，可使半导体的导电性发生显著变化。

掺入的杂质主要是三价或五价元素。

掺入五价元素的杂质（鳞、锑或砷）可形成N型半导体，

掺入三价元素的杂质（如硼，镓、铟或铝）可形成P型半导体。

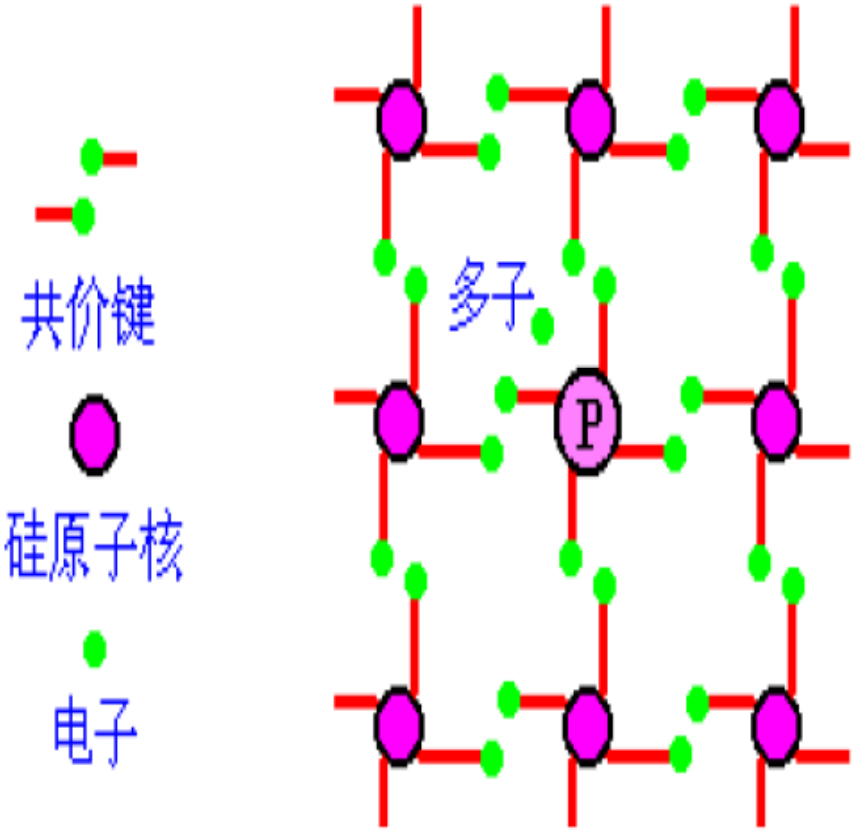
掺入杂质的本征半导体称为杂质半导体（Doped Semiconductor）

# 回顾半导体知识　　*N型半导体*

因五价杂质原子中只有四个价电子能与周围四个半导体原子中的价电子形成共价键，而多余的一个价电子因无共价键束缚而很容易形成自由电子

多子：电子

少子：空穴




型半导体的结构示意图

**多子:多数载流子**

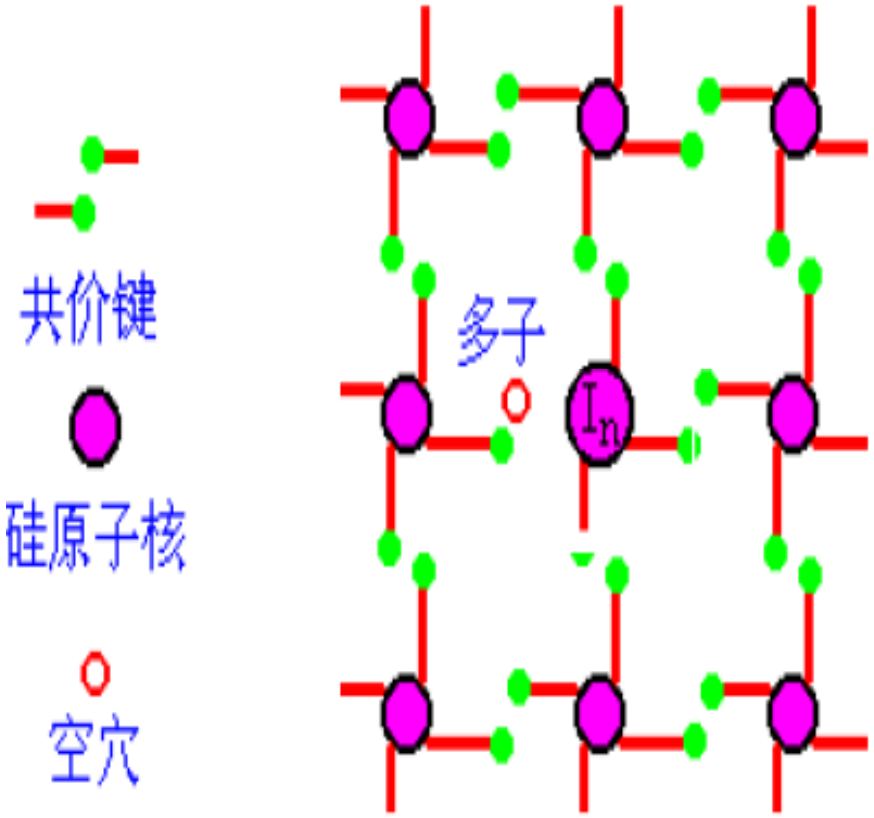
**少子:少数载流子**

# 回顾半导体知识 *P型半导体*

- 因三价杂质原子在与硅原子形成共价键时，缺少一个价电子而在共价键中留下一空穴。P型半导体中空穴是多数载流子，主要由掺杂形成；电子是少数载流子，由热激发形成。三价元素成为受主(Acceptor)杂质。

多子是空穴

少子是电子




P 型半导体的结构示意图

# 回顾半导体知识 *本征激发和复合*

- 当导体处于热力学温度0 K时，导体中没有自由电子（Free Electron）。当温度升高或受到光的照射时，价电子能量增高，有的价电子可以挣脱原子核的束缚，而参与导电，成为自由电子。这一现象称为本征激发（也称热激发）。
- 因热激发而出现的自由电子和空穴是同时成对出现的，称为电子空穴对。
- 游离的部分自由电子也可能回到空穴中去，称为复合。

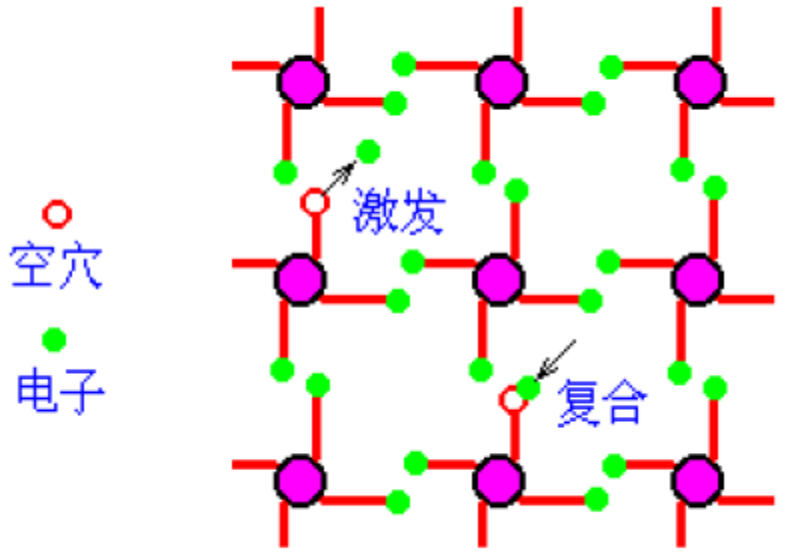
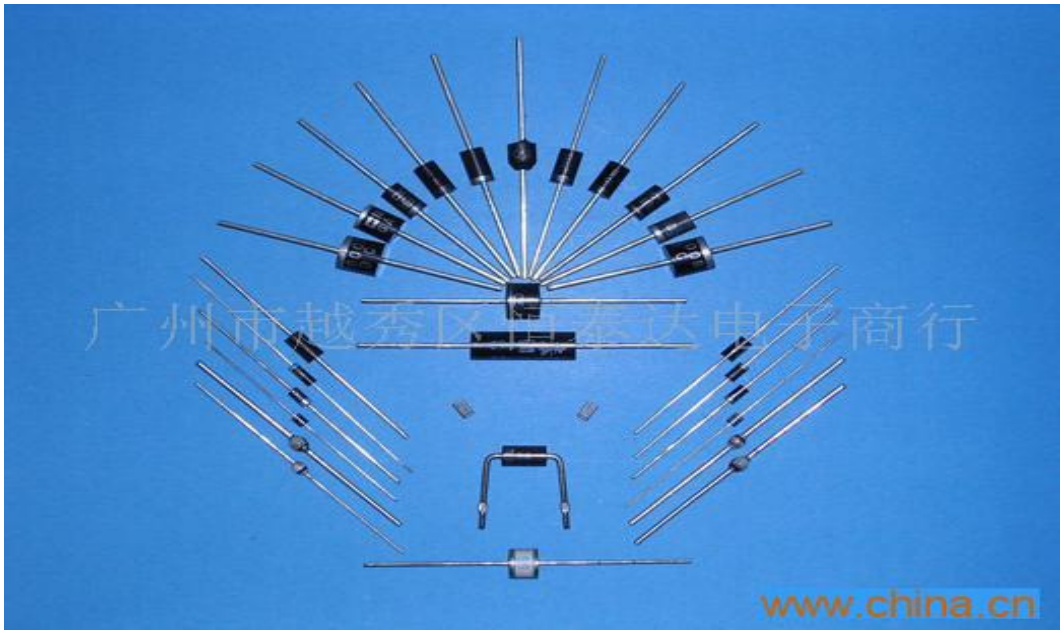


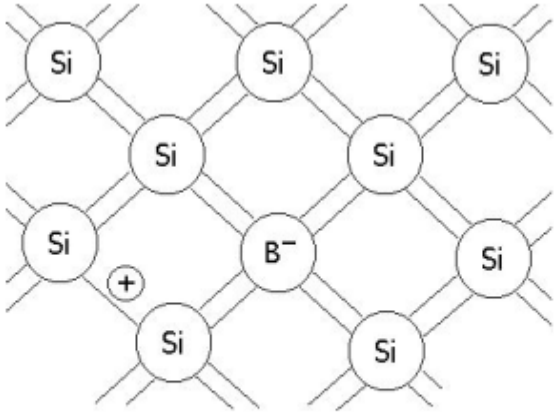

图1-1-2 本征激发和复合的过程

# PN结　　二极管

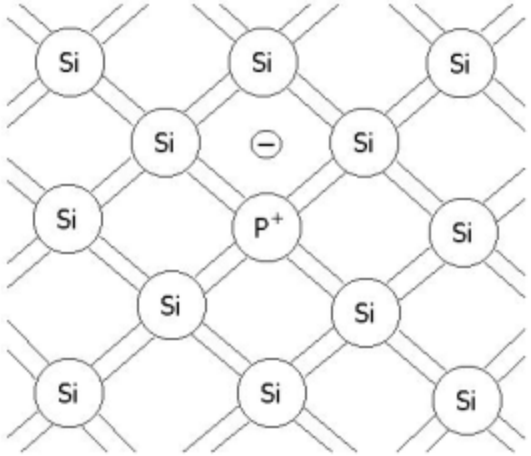


# PN结　　二极管

- 在一块P型（或N型）半导体中，掺入施主（或受主）杂质部分转换为N型（或P型）。这样就形成了PN结(PN junction)

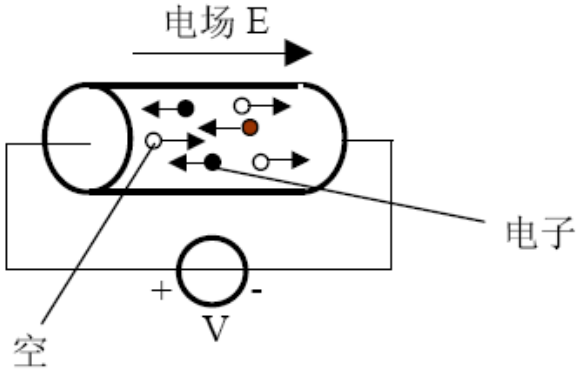



图表 11 硅中的受主杂质




图表 9 硅中的施主杂质

# 扩散与漂移



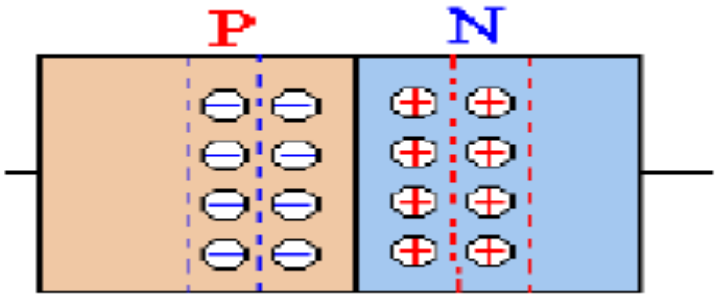
电场作用下的漂移

- 漂移与漂移电流
  - 在外加电场的作用下，载流子将在热骚动状态下产生定向运动，其中自由电子产生逆电场方向的运动，空穴产生顺电场方向的运动。载流子在电场的作用下产生定向运动的现象成为漂移运动。所产生的电流叫做漂移电流。
- 扩散与扩散电流
  - 如因为某种原因破坏了热平衡条件，则会出现载流子的分布不均匀。这时从任一断面看，从浓度大的一侧穿过假想面而进入浓度小的一侧的载流子将多于沿相反方向运动的载流子，因而找成载流子沿X方向的净流动。这种因浓度差引起的载流子定向运动的现象称为扩散运动。相应产生的电流称为扩散电流。

# PN结 *阻挡层形成的物理过程*

- 当P型半导体和N型半导体接触时，扩散运动使P区空穴跨过接触面扩散到N区，并有部分空穴与N区的自由电子复合。N区电子跨过接触面扩散到P区并有部分电子与P区的空穴复合。这样在紧靠接触面两侧的区域内留下了杂质离子。其中P区侧为带负电的受主离子，N区侧为带正电的施主离子，而且两侧的正、负离子电荷量相等，形成**空间电荷区**。

- 最后，多子的扩散和少子的漂移达到动态平衡。对于P型半导体和N型半导体接触面，离子薄层形成的空间电荷区称为PN结。在空间电荷区，由于缺少多子，所以也称耗尽层。



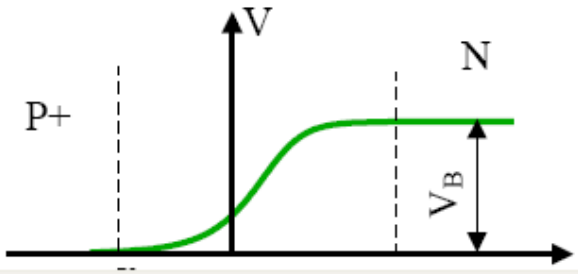
# PN结　　*内建电位差*

- 达到动态平衡时，由内建电场产生的电位差成为内建电位差，用VB表示。

$$V_B \approx V_T \ln \frac{N_a N_d}{n_i^2}$$

$V_T = \frac{kT}{q}$　　称为热电压（**Thermal Voltage**）,单位为伏，室温即 **T=300K** 时

**$V_T \approx 26mV$**



# PN结 *阻挡层宽度*

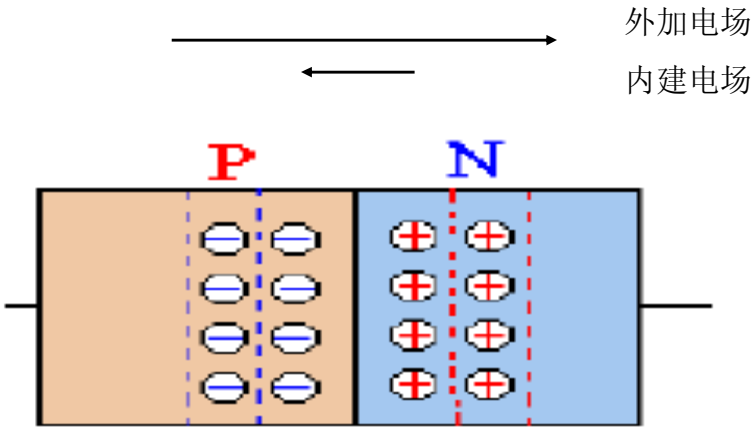
- 阻挡层宽任一侧度与该侧掺杂浓度成反比，掺杂浓度高的一边窄，掺杂浓度低的一边宽。动态平衡下PN结的阻挡层宽度为：

$$lo = x_n + x_p = \left( \frac{2\varepsilon}{q} V_B \frac{N_a + N_d}{N_a N_d} \right)^{\frac{1}{2}}$$

# PN结　伏安特性

## 一、正向特性

- PN结具有单向导电性，若外加电压使电流从P区流到N区，PN结呈低阻性，所以电流大；反之是高阻性，电流小。
- 如果外加电压使PN结P区的电位高于N区的电位称为加正向电压，简称正偏；
- 外加的正向电压有一部分降落在PN结区，方向与PN结内电场方向相反，削弱了内电场。于是，内电场对多子扩散运动的阻碍减弱，扩散电流加大。扩散电流远大于漂移电流，可忽略漂移电流的影响，PN结呈现低阻性。



# PN结 伏安特性

## 二、反向特性

- PN结P区的电位低于N区的电位称为加反向电压，简称反偏。
- 外加的反向电压有一部分降落在PN结区，方向与PN结内电场方向相同，加强了内电场。
- 内电场对多子扩散运动的阻碍增强，扩散电流大大减小。此时PN结区的少子在内电场作用下形成的漂移电流大于扩散电流，可忽略扩散电流，PN结呈现高阻性。
- 在一定的温度条件下，由本征激发决定的少子浓度是一定的，故少子形成的漂移电流是恒定的，基本上与所加反向电压的大小无关，这个电流也称为反向饱和电流。
- PN结加正向电压时，呈现低电阻，具有较大的正向扩散电流；PN结加反向电压时，呈现高电阻，具有很小的反向漂移电流。
- 由此可以得出结论：PN结具有单向导电性。

# PN结　　伏安特性

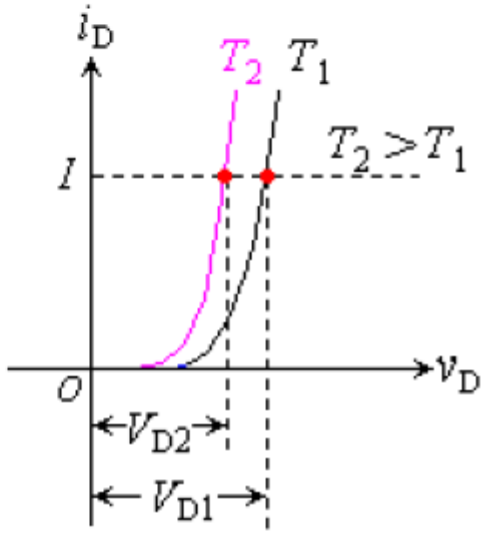
硅PN结：VD(on)=0.7V

锗PN结：VD(on)=0.3V

上述特性表现出来单向导电性。

# PN结 *温度特性*

- 温度升高时，PN结两边的热平衡载流子浓度增加，从而导致PN结的反向饱和电流Is增大。




温度每增加 10°C，Is 约增加一倍。

# PN结　　*PN结的击穿特性*

- 当**PN**结的反向电压增大到一定值$V \geqslant V_{BR}$时，反向电流急剧增加，这种现象称为击穿（**Breakdown Voltage**），$V_{BR}$称为反向击穿电压。**PN**结的击穿电压有雪崩击穿和齐纳击穿两种。

- 一、　雪崩击穿
  - 载流子获得足够的动能将共价键中的电子碰撞出来产生电子空穴对。新产生的载流子再去碰撞其他的中性原子有产生新的电子空穴对。这种碰撞电离称为雪崩击穿。
  - 雪崩击穿电压较高，其值随掺杂浓度降低而增大。

- 二、　齐纳击穿
  - 阻挡层内的场强非常高时（掺杂浓度高，阻挡层很薄，容易建立很强的场强）足以把阻挡层内的中性原子的价电子直接从共价键中拉出来。产生自由电子空穴对。这个过程称为场致激发。场致激发产生大量的载流子，使PN结的反向电流剧增，呈反向击穿现象，叫齐纳击穿。
  - 硅二极管若|VBR|≥7 V时，主要是雪崩击穿；若VBR≤4 V则主要是齐纳击穿，当在4 V～7 V之间两种击穿都有，有可能获得零温度系数点。

# PN结击穿

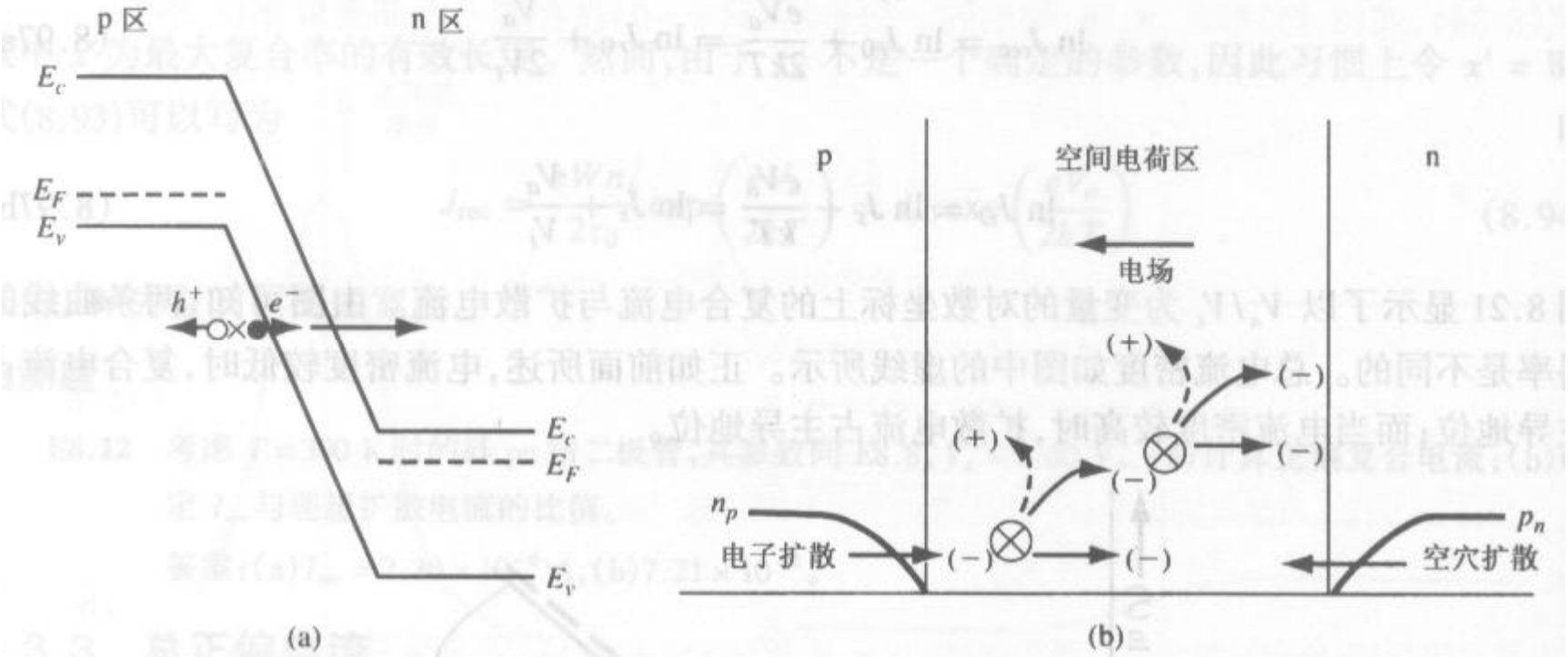
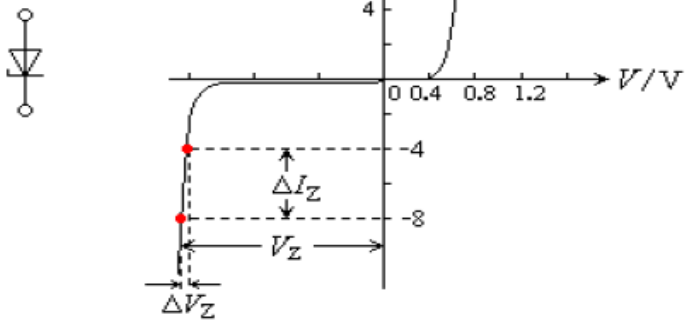
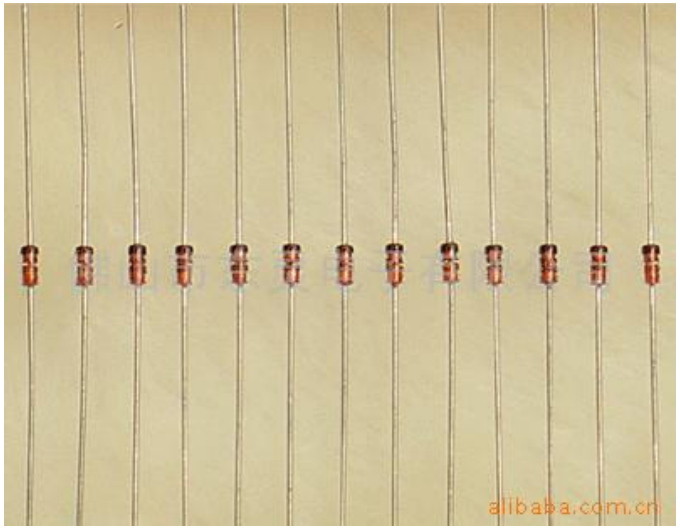



图 8.22 (a)反偏 pn 结的齐纳击穿的物理机制;(b)反偏 pn 结的雪崩击穿过程

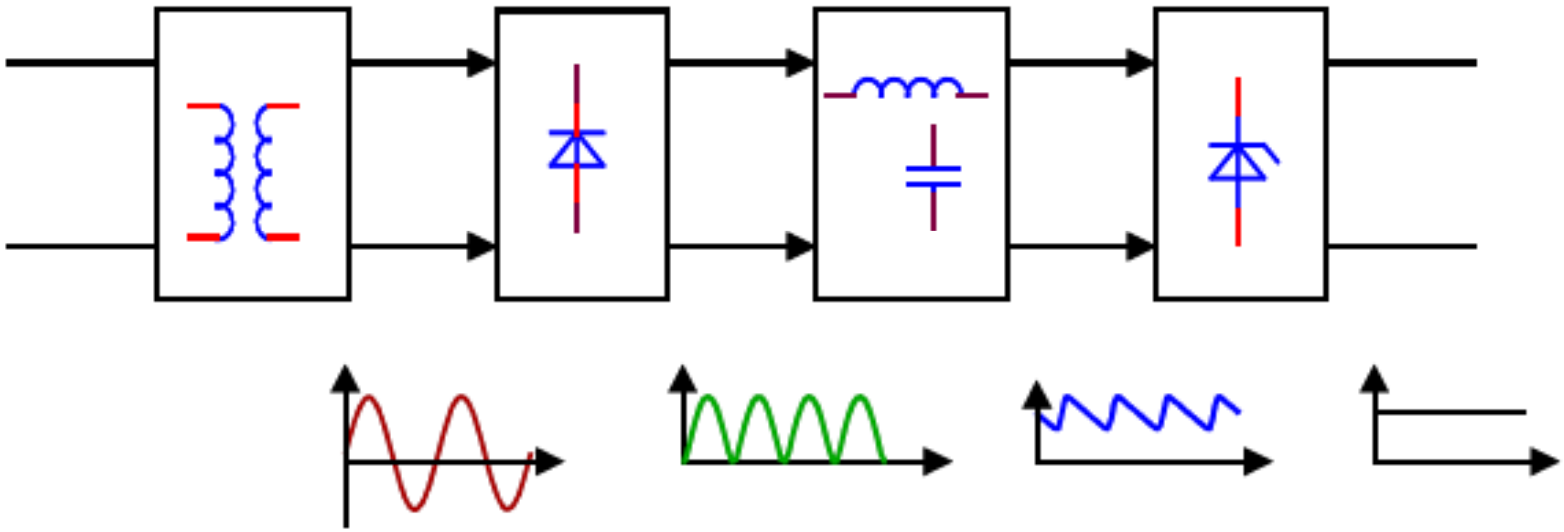
# PN结　　*稳压二极管*

- 稳压二极管是应用在反向击穿区的特殊硅二极管。稳压二极管的伏安特性曲线与硅二极管的伏安特性曲线完全一样，稳压二极管伏安特性曲线的反向区、符号如图示。



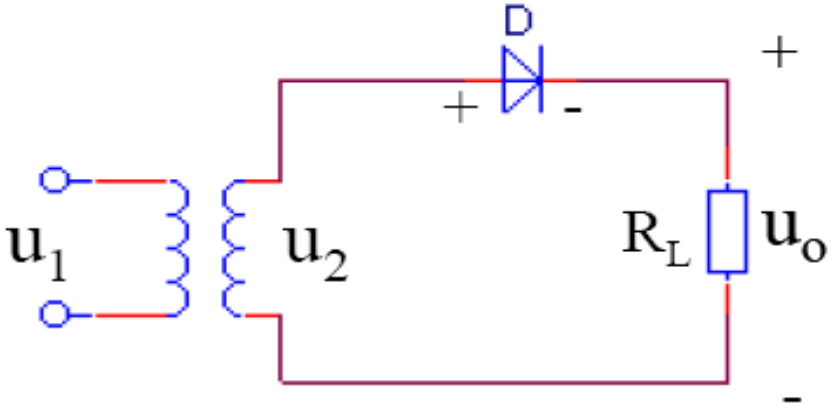
# PN结　　二极管的应用

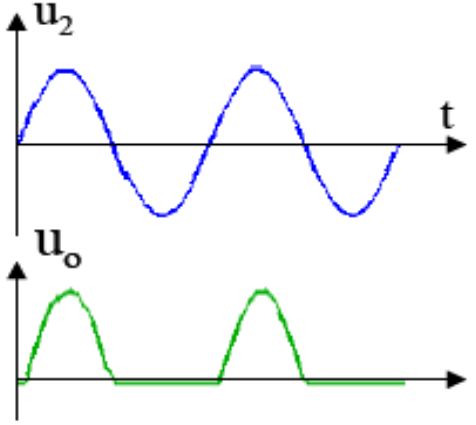


电源设备的组成框图

# PN结　　整流电路

一、　整流电路



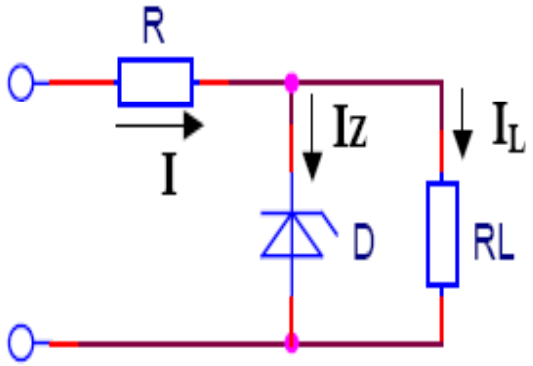




半波整流电路，　输出电压平均值：

$$Vo = \frac{1}{\pi}\left(\frac{R}{R_D + R} V_{in}\right)$$

# PN结　　*稳压电路*

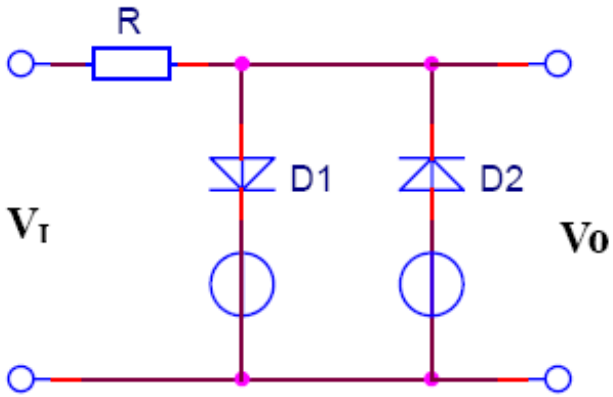
## 二、　稳压电路

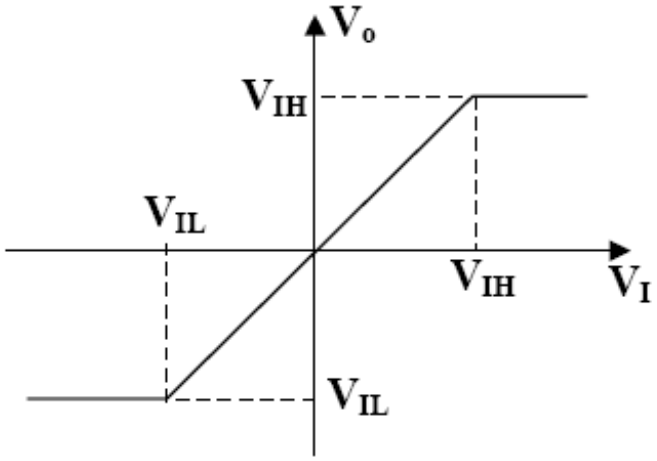



稳压管的反向击穿特性是十分陡峭的，通过稳压管的电流有很大的变化时，其两端电压却变化很小，几乎是恒定的。利用这种特性所构成的稳压电路如图示。

# PN结　　*限幅电路*

- 限幅电路（Lim 是用来限制输入信号电压范围 的电路双向限幅电路及其特性如示。



# PN结的形成

1. N型衬底
2. 开孔
3. 注入或扩散p
4. 做接触孔

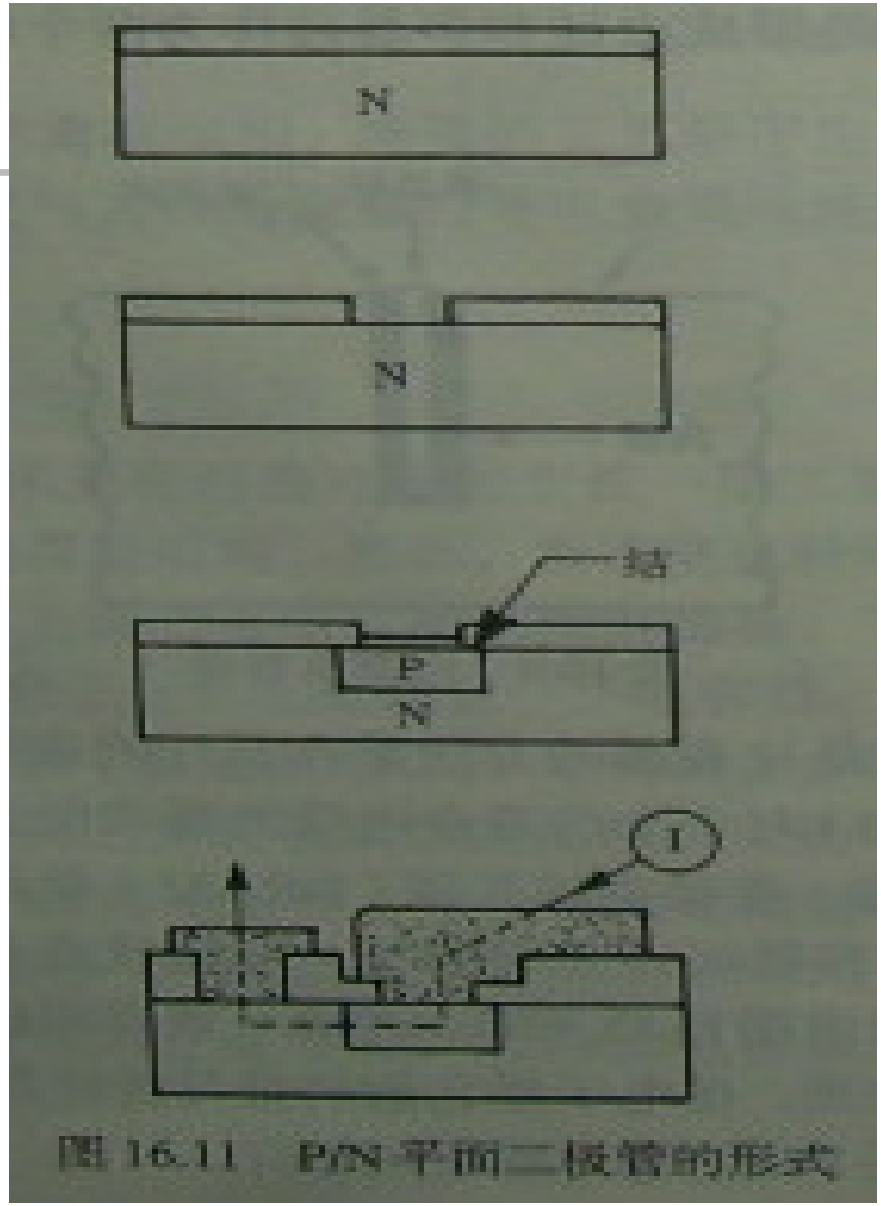


图 16.11 PN 平面二极管的形式

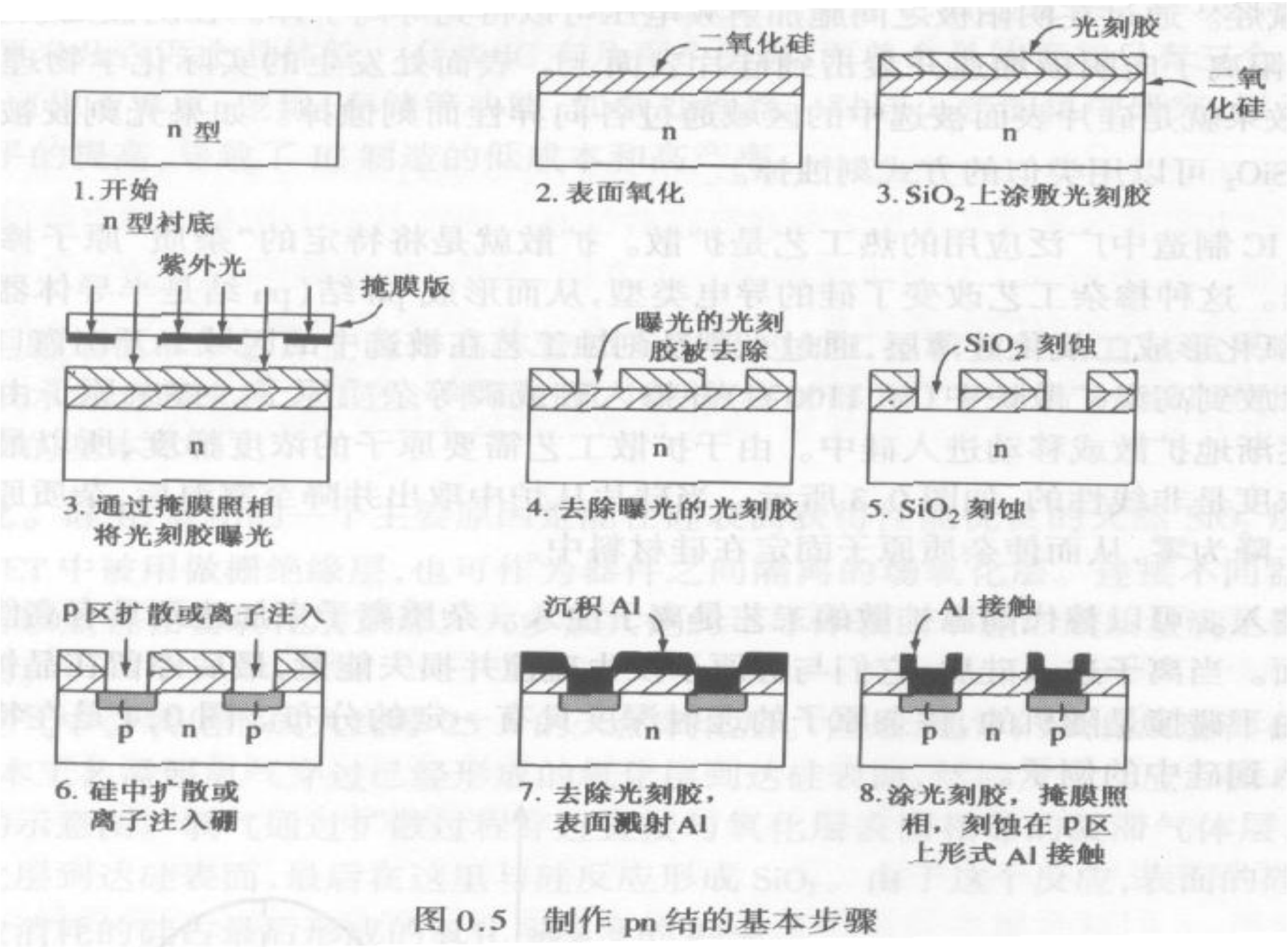



图 0.5　制作 pn 结的基本步骤

西安电子科技大学XIDIDIAN UNIVERSITY V2.0 © 2007 韩孝勇HanXiaoYong xyhan5151@yahoo.com.cn www.dianzichan.com

# pn结的基本结构

- 冶金结__P区和n区的交界面
  - 突变结　线性缓变结　超突变结
    - 突变结__均匀分布，交界处突变

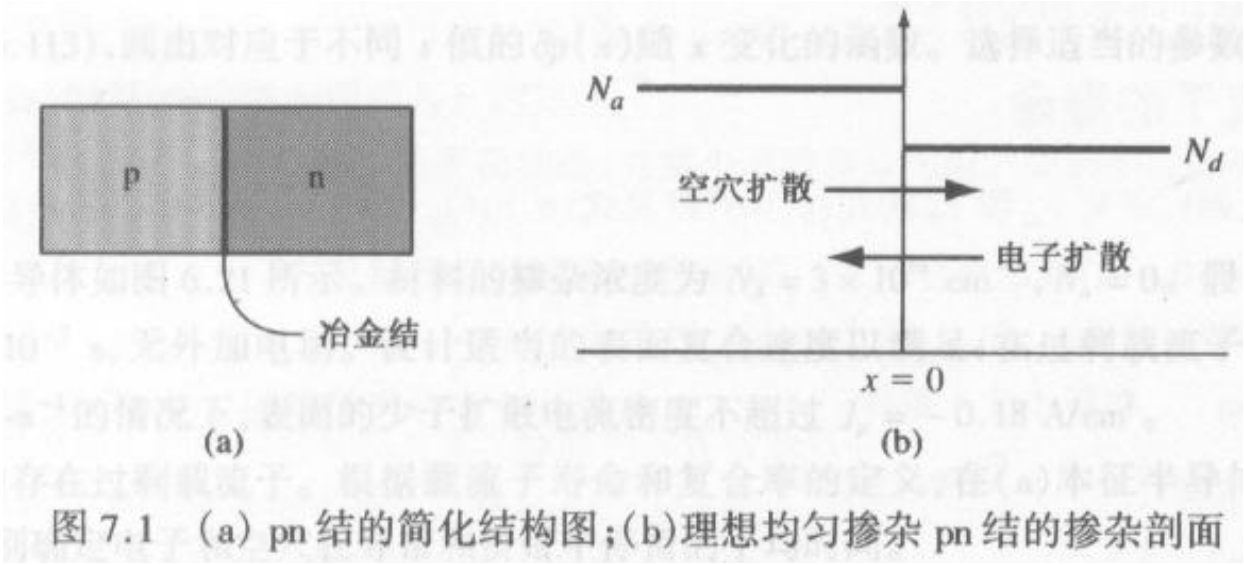



图 7.1　(a) pn 结的简化结构图；(b)理想均匀掺杂 pn 结的掺杂剖面

# pn结的基本结构

- 空间电荷区＝耗尽区（没有可动电荷）

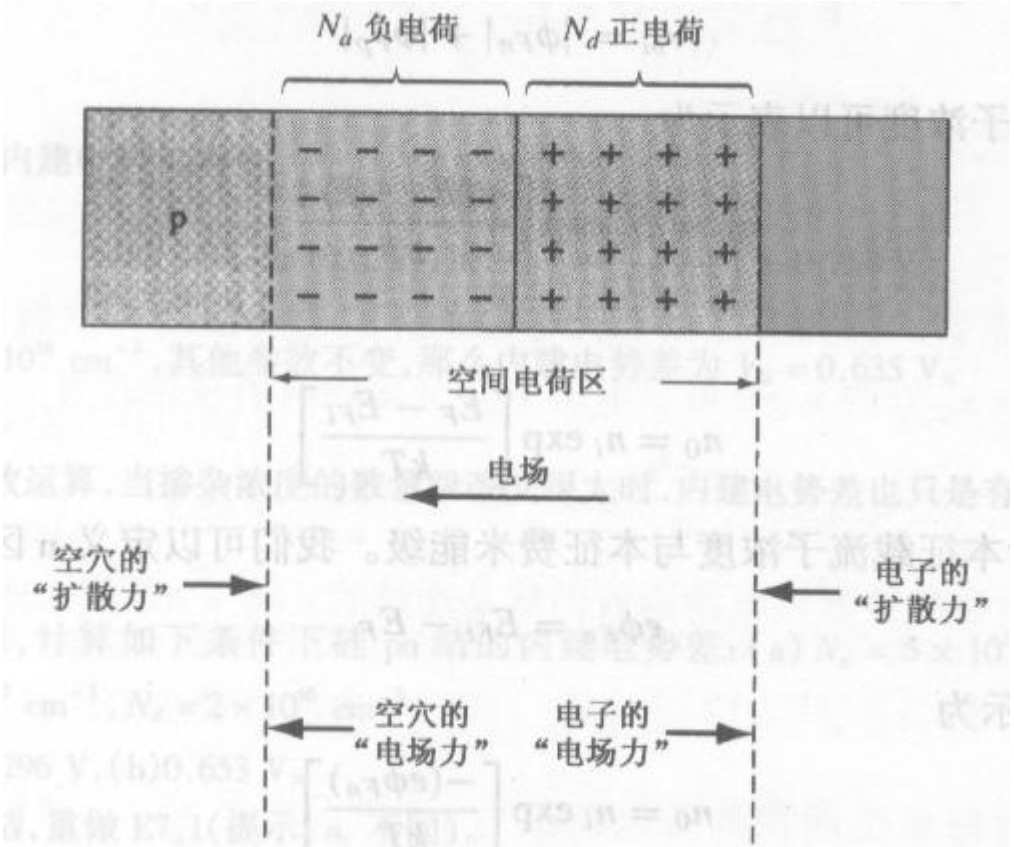
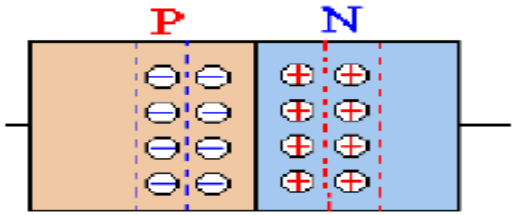
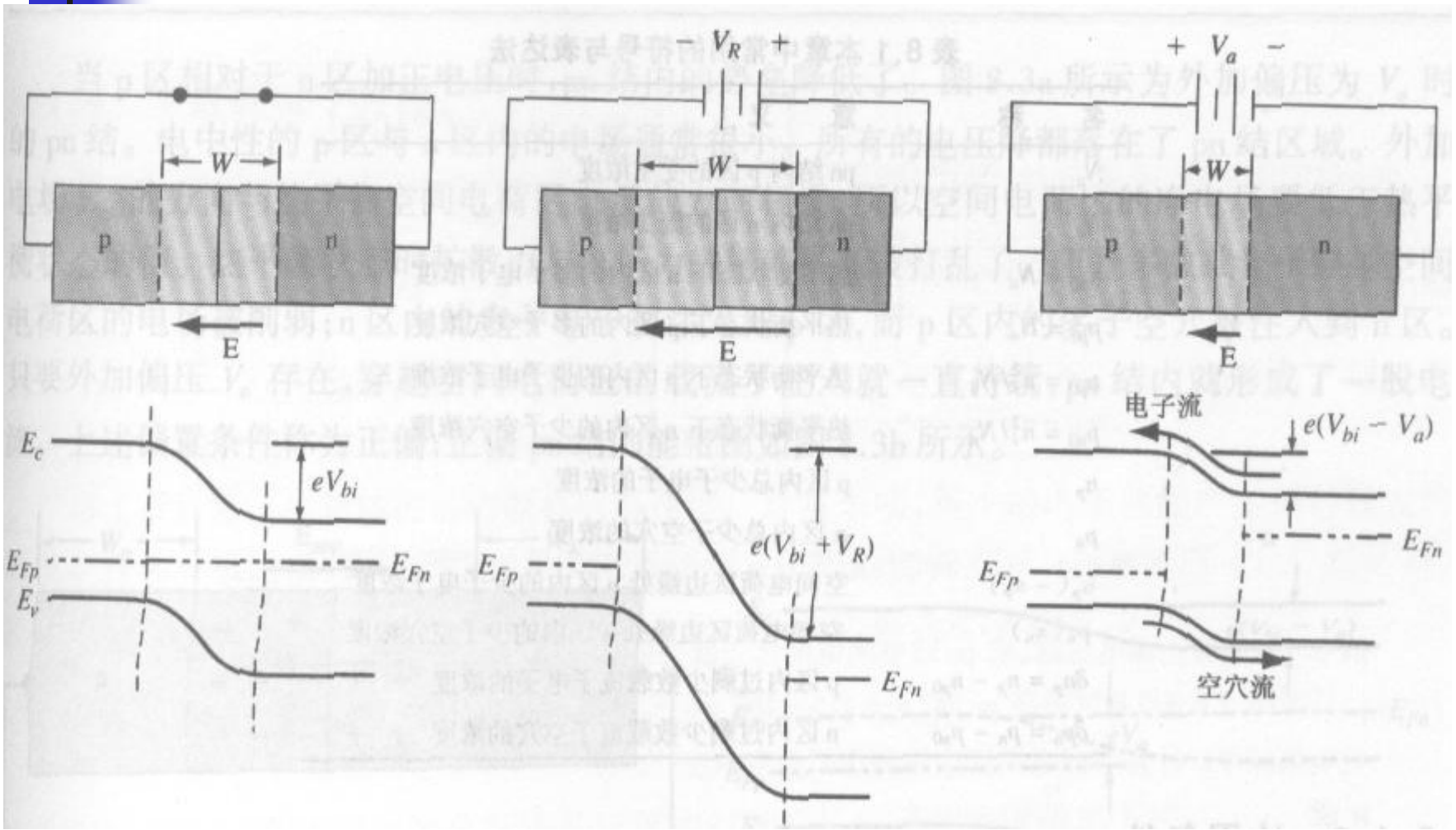



图 7.2　空间电荷区、电场，以及施加在载流子上的两种力



# pn结电流 *定性描述*

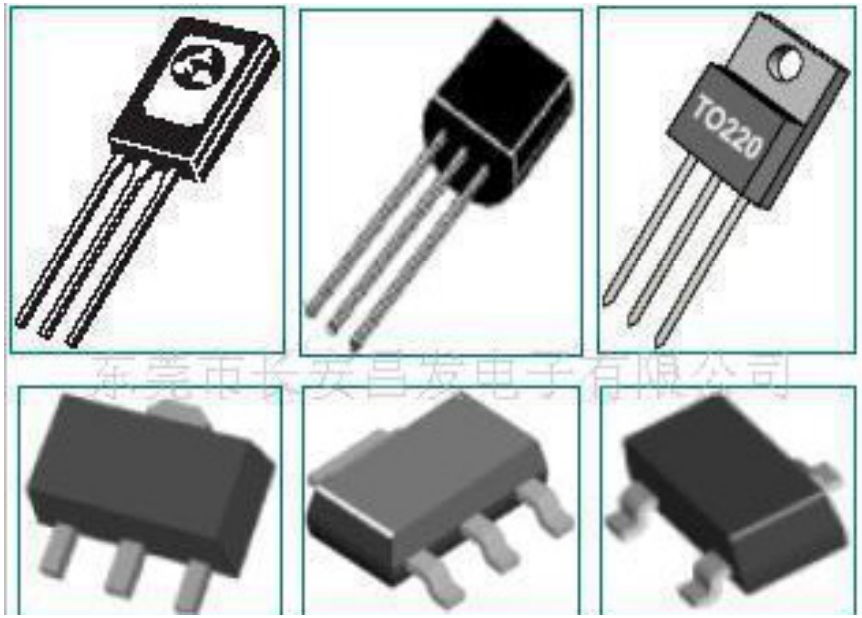

$-V_R+$
W
p
n
E
$+V_a-$
W
p
n
E
W
p
n
E
$E_c$
$eV_{bi}$
$E_{Fp}$
$E_{Fn}$
$E_v$
$E_{Fp}$
$e(V_{bi}+V_R)$
$E_{Fn}$
电子流
$e(V_{bi}-V_a)$
$E_{Fn}$
$E_{Fp}$
空穴流

# PN结在版图中处处都是

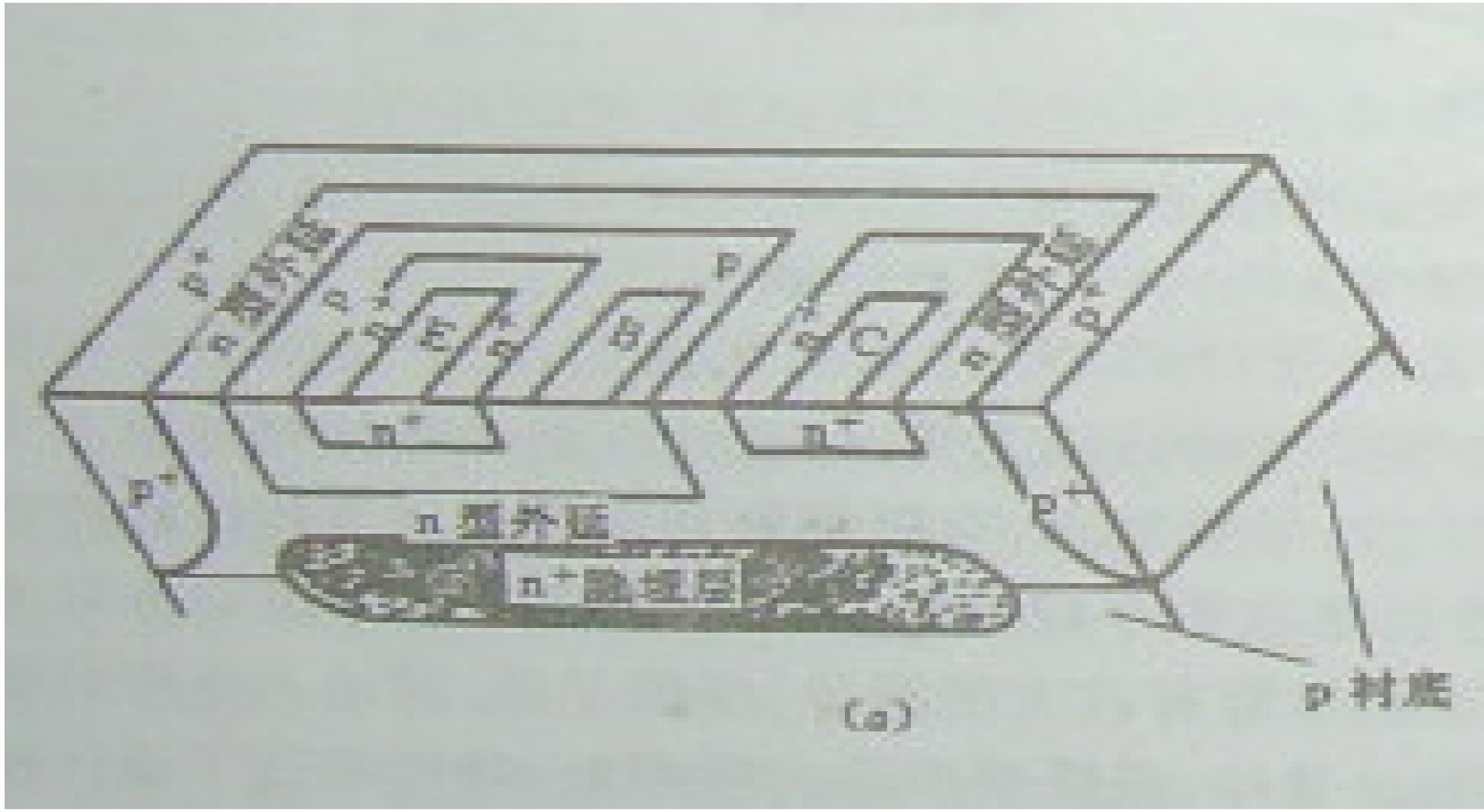
- 在双极型电路内,除了形成管子,另外还要做隔离，专门的隔离墙把元件分开；

- 在MOS电路内,除了形成管子,也要形成隔离，只是形成的隔离是反偏隔离；
  - 所以MOS电路中，P管永远接高电源，N管永远接地。
  - 由于P管比N管难做，所以一般P管比N管大1.5~2倍；
  - 用这两点一般可以识别电源地线和P管N管。

# 三极管

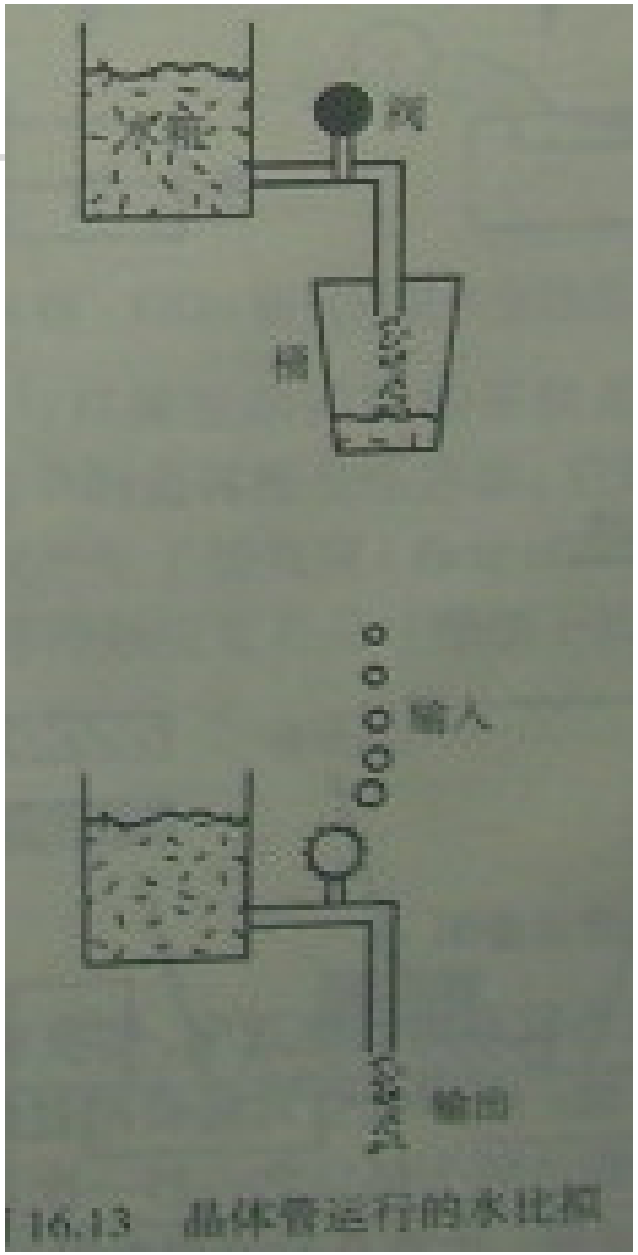


# 双极型晶体管 NPN



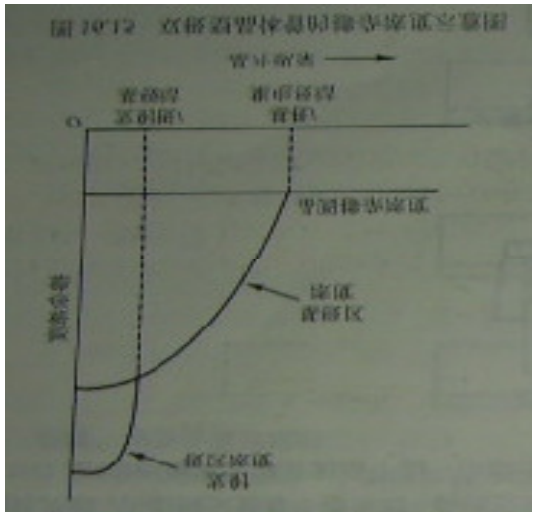
# 晶体管与水流比较

- 由阀门控制水流的大小



# 双极型三极管的对照

- 由基极（阀门）控制发射极到集电极的电流（水流）
- 当然掺杂浓度不能到高度补偿的地步



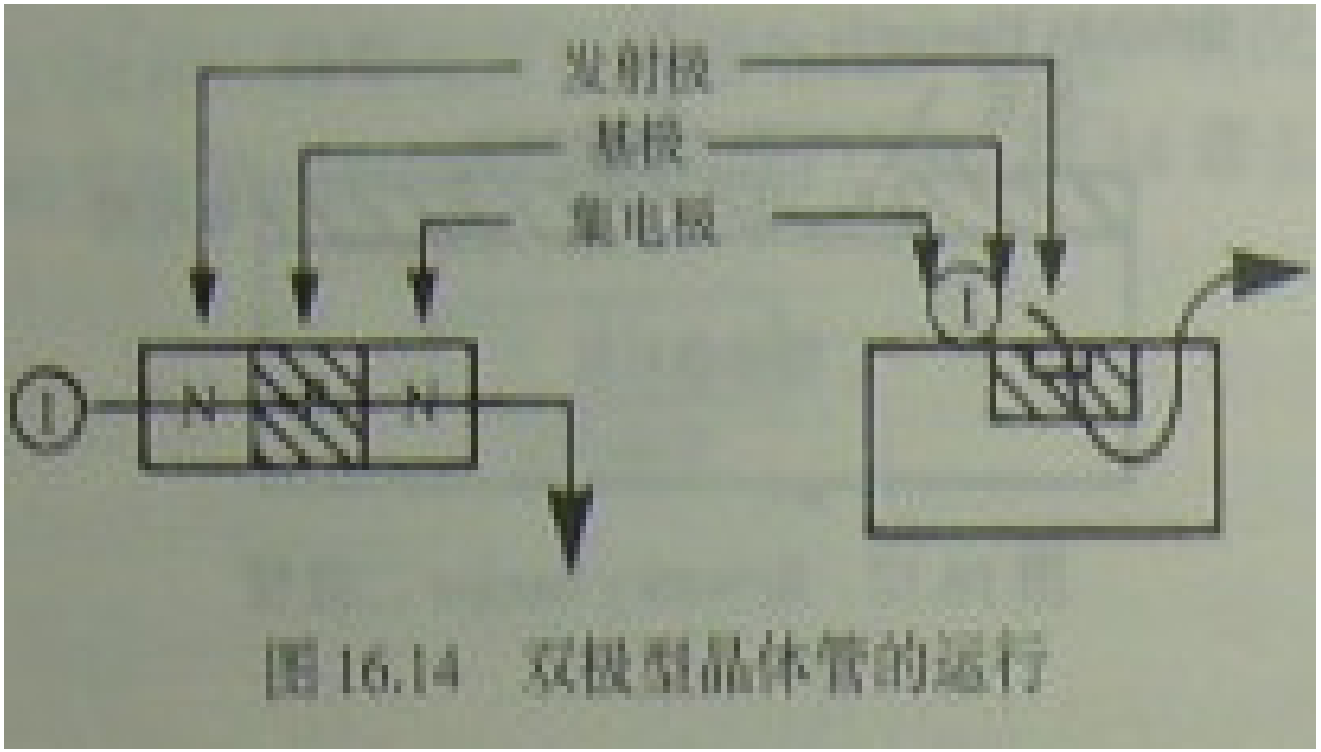
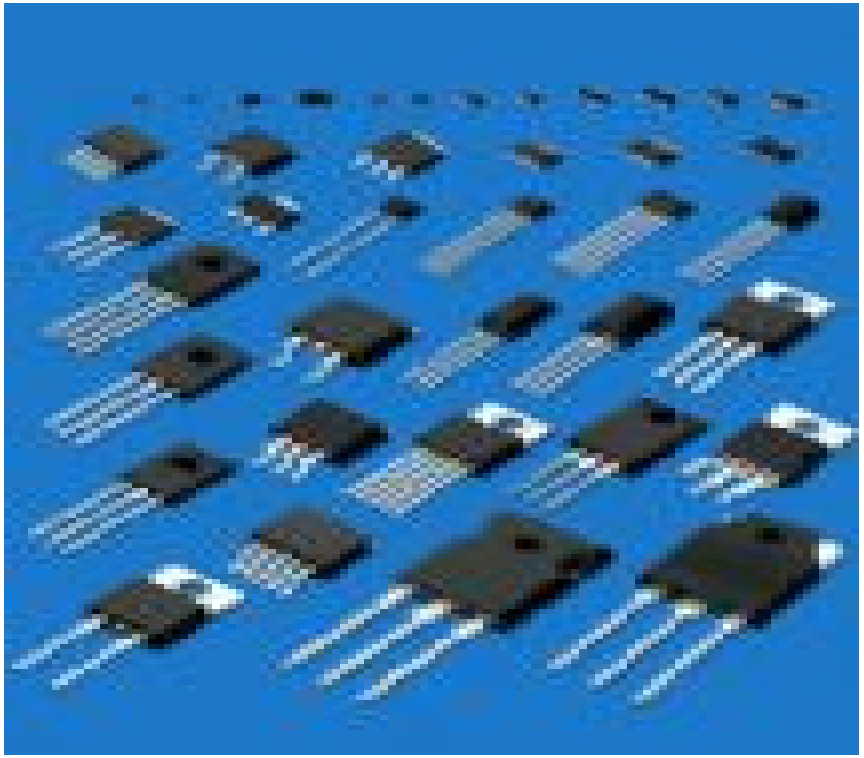


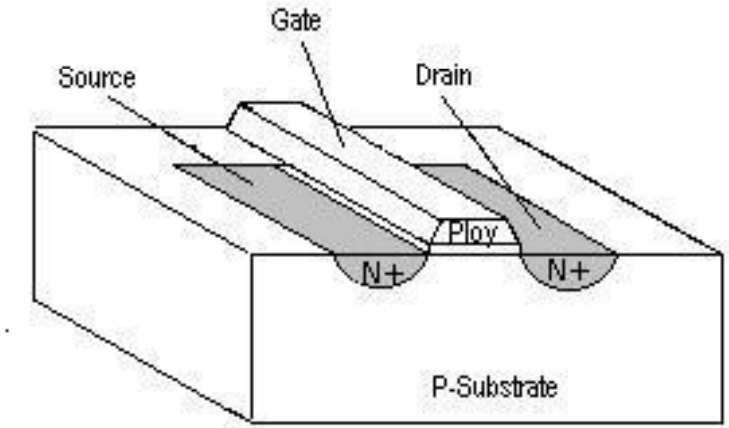
图 16.14 双极型晶体管的运行

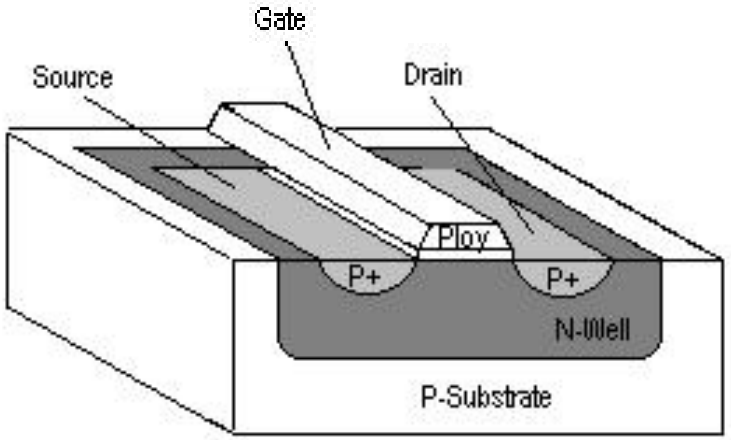
# MOS管



# MOS管

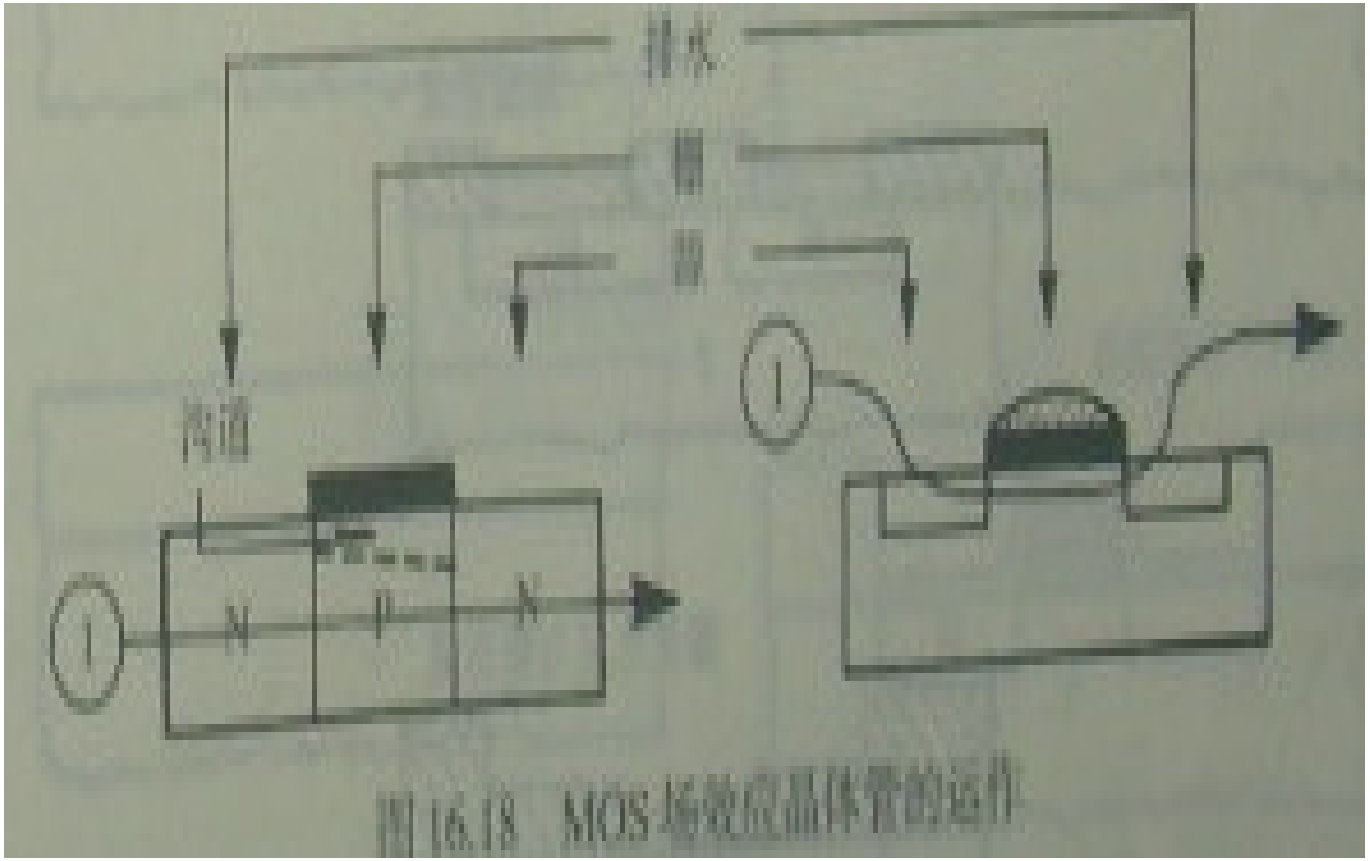
- CMOS结构


Gate
Source
Drain
Ploy
N+
N+
P-Substrate

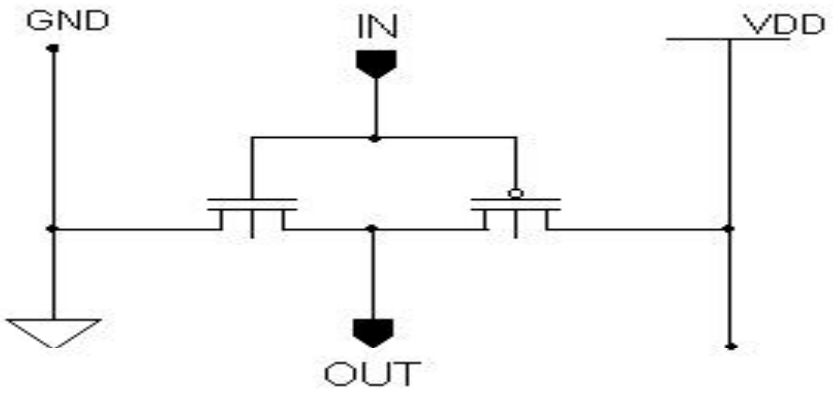

Gate
Source
Drain
Ploy
P+
P+
N-Well
P-Substrate

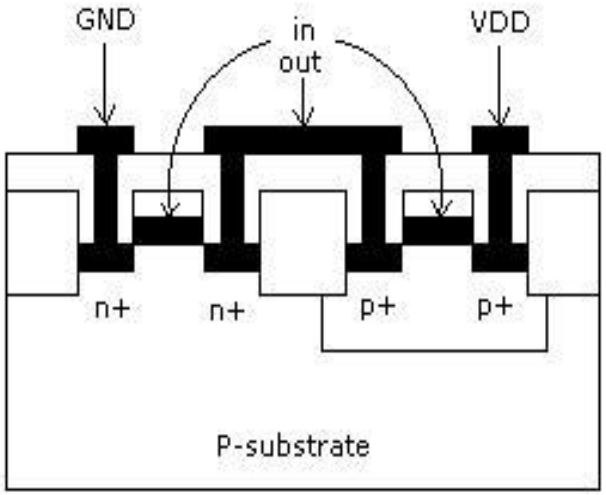
# MOS管的运行

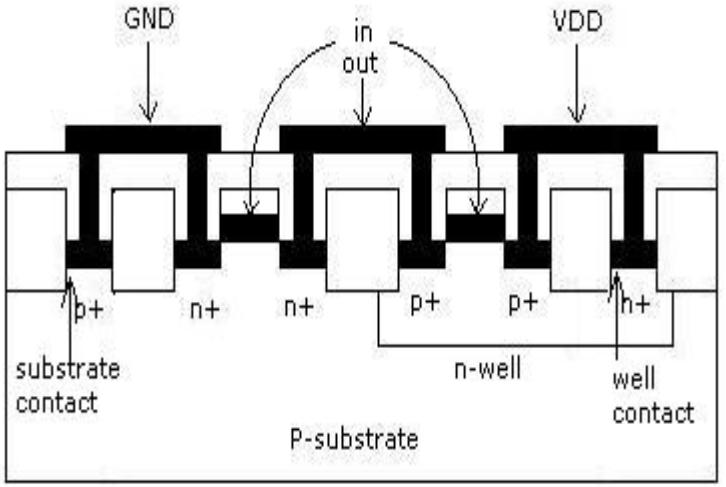
- 由栅极（阀门）控制源极到漏极的电流（水流）



# CMOS反相器图解

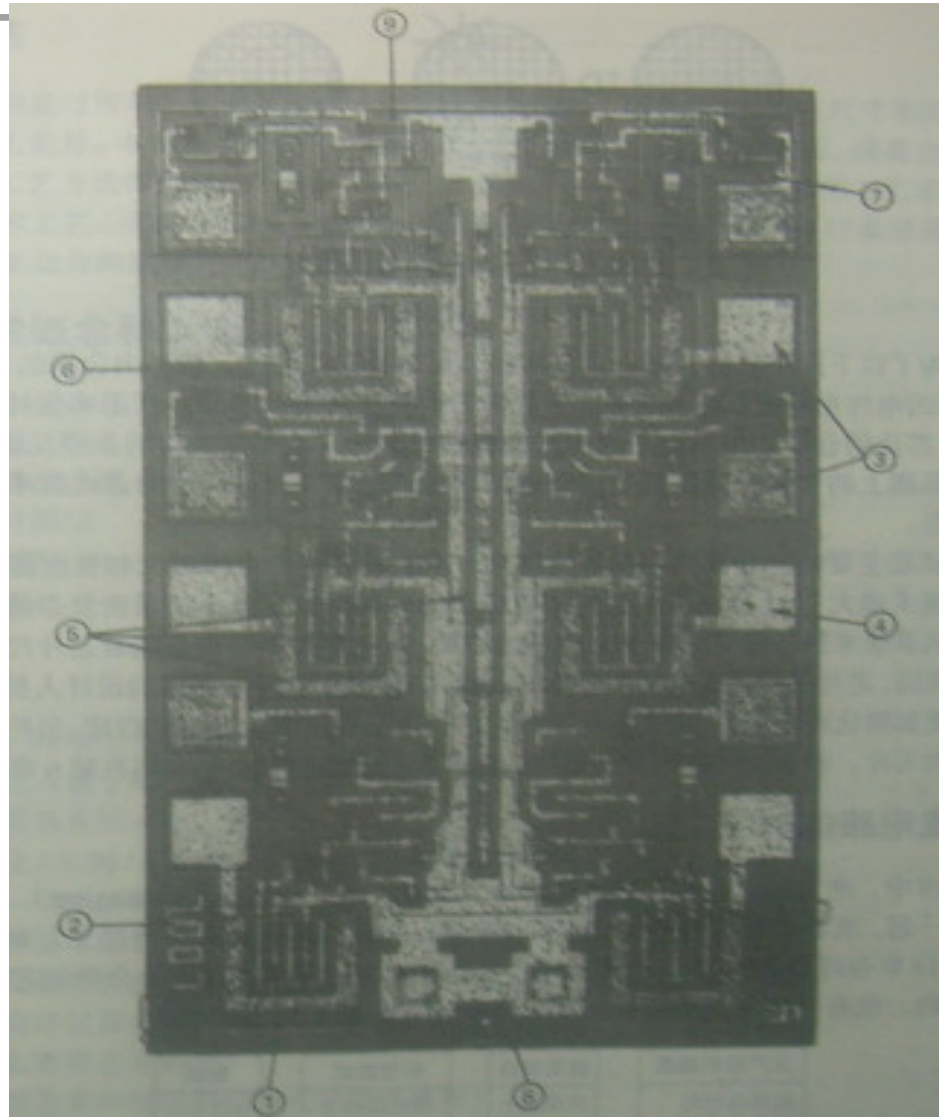

GND
IN
VDD
OUT


GND
in
out
VDD
n+
n+
p+
p+
P-substrate


GND
in
out
VDD
p+
n+
n+
p+
p+
n+
substrate
contact
n-well
well
contact
P-substrate

# 芯片术语

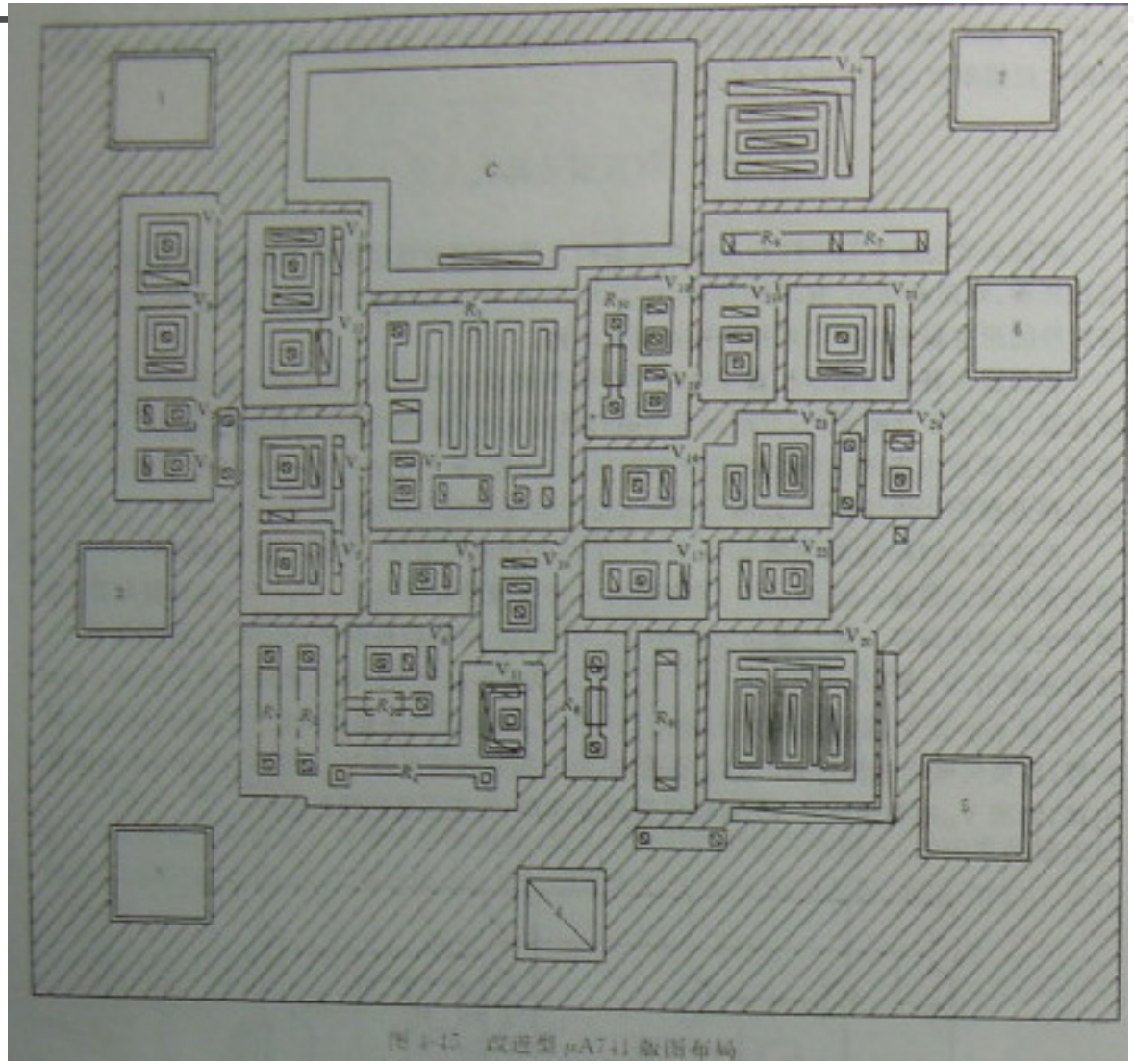
1. 双极型晶体管
2. 电路编号
3. 压焊点
4. 小污染
5. 金属导线
6. 街区
7. 独立的元件
8. 对准标记
9. 电阻



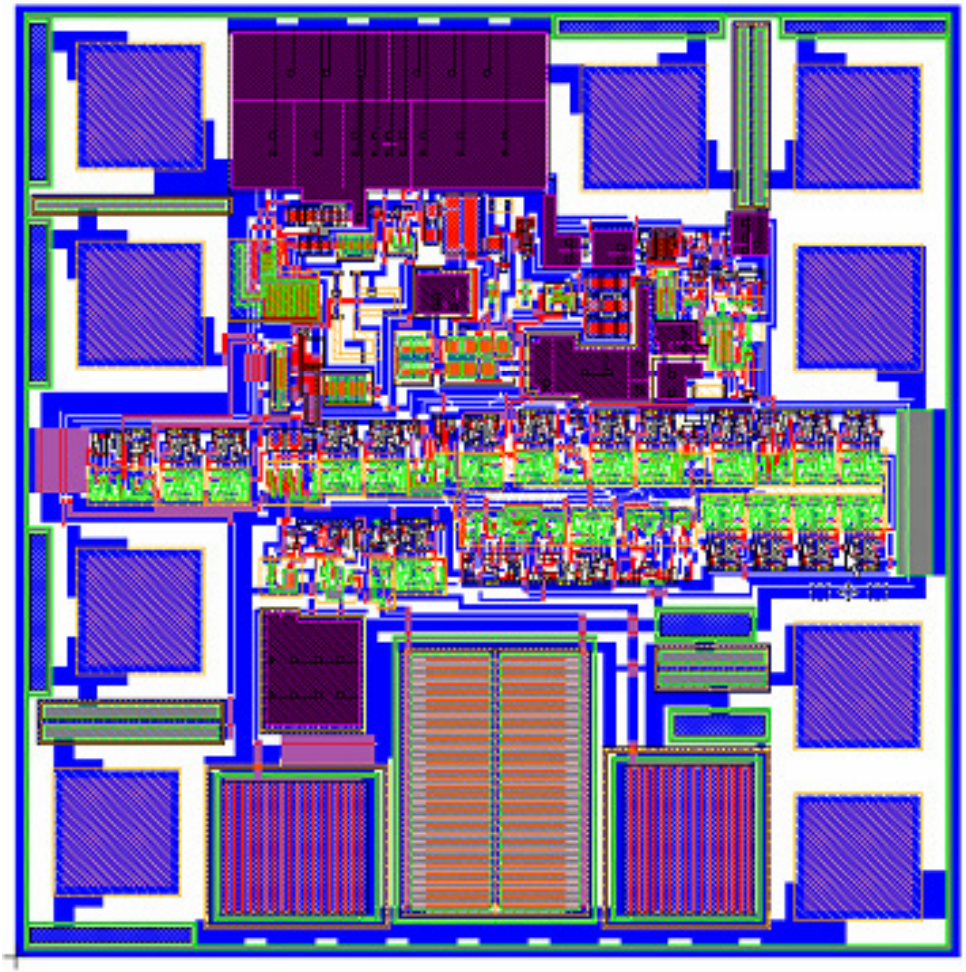
# 它们在集成电路内的模样

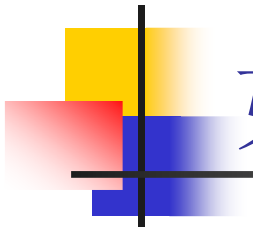
- 用ledit看版图找下列元器件:
  - 电阻
  - 电容
  - 二极管
  - 三极管
  - MOS管
    - (主要看CMOS电路)

# 双极型电路版图



# MOS型电路版图





# 如何画它们的版图？

- 用ledit画图
  - 电阻
  - 电容
  - 二极管
  - 三极管
  - MOS管

# 本次课内容回顾

- 本节内容可参考《晶体管原理》一书。